

PCT

世界知的所有権機関  
国際事務局

特許協力条約に基づいて公開された国際出願



(51) 国際特許分類 H04N 7/24, 5/92, 5/907	A1	(11) 国際公開番号 WO00/62550  (43) 国際公開日 2000年10月19日(19.10.00)									
<p>(21) 国際出願番号 PCT/JP00/02406</p> <p>(22) 国際出願日 2000年4月13日(13.04.00)</p> <p>(30) 優先権データ</p> <table border="0"><tr><td>特願平11/105255</td><td>1999年4月13日(13.04.99)</td><td>JP</td></tr><tr><td>特願平11/122647</td><td>1999年4月28日(28.04.99)</td><td>JP</td></tr><tr><td>特願平11/153797</td><td>1999年6月1日(01.06.99)</td><td>JP</td></tr></table> <p>(71) 出願人 (米国を除くすべての指定国について) ソニー株式会社(SONY CORPORATION)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo, (JP)</p> <p>(72) 発明者 ; および</p> <p>(75) 発明者 / 出願人 (米国についてのみ) 塚越郁夫(TSUKAGOSHI, Ikuo)[JP/JP] 川瀬直彦(KAWASE, Naohiko)[JP/JP] 山本喜久夫(YAMAMOTO, Kikuo)[JP/JP] 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 杉浦正知(SUGIURA, Masatomo) 〒171-0022 東京都豊島区南池袋2丁目49番7号 池袋パークビル7階 Tokyo, (JP)</p>		特願平11/105255	1999年4月13日(13.04.99)	JP	特願平11/122647	1999年4月28日(28.04.99)	JP	特願平11/153797	1999年6月1日(01.06.99)	JP	<p>(81) 指定国 CN, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>
特願平11/105255	1999年4月13日(13.04.99)	JP									
特願平11/122647	1999年4月28日(28.04.99)	JP									
特願平11/153797	1999年6月1日(01.06.99)	JP									
<p>(54)Title: VIDEO PROCESSING DEVICE AND METHOD, AND MEDIUM</p> <p>(54)発明の名称 映像処理装置および方法、並びに媒体</p> <div data-bbox="532 1255 1068 1753"><p>5 フレームメモリ FRAME MEMORY</p><p>A...ADDRESS 0000    C...ADDRESS 0256 B...ADDRESS 0768    D...ADDRESS 00512</p></div> <p>(57) Abstract</p> <p>When a macro block comprising 16x16 pixels (bytes) is stored in a frame memory comprising a DRAM, addresses are assigned to the macro block in ascending order in such a way that address 0000 to address 0255 are assigned to the first macro block, address 0256 to 0512 are assigned to the second block, and ... The macro block thus stored is read in ascending order of address.</p>											

BEST AVAILABLE COPY

(57)要約

1 マクロブロックが16×16ピクセル (byte) で構成され、そのマ  
クロブロックをDRAMなどから構成されるフレームメモリに記憶させる際  
、第1マクロブロックは、アドレス0000乃至0255に、第2マク  
ロブロックは、アドレス0256乃至0512といったふうに、順次、  
昇順にアドレスが割り振られ、記憶されていく。このようにして記憶さ  
れたマクロブロックは、アドレスの昇順に読み出される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	CW	ギニア・ビサオ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボワール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NO	ノルウェー	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NL	ノールウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明 細 書

映像処理装置および方法、並びに媒体

## 5 技術分野

本発明は映像処理装置および方法、並びに媒体に関し、特に、圧縮された映像信号を復号する際に用いて好適な映像処理装置および方法、並びに媒体に関する。

## 10 背景技術

最近、MPEG (Moving Picture Experts Group) 2 に代表される映像圧縮技術が進歩し、各種の分野で利用されている。このMPEG 2 でエンコードされた映像データをデコードする場合、そのデコードは、マクロブロック毎に行われる。そのマクロブロック毎にデコードされた映像データをフレームメモリに格納する際、その映像データのメモリアドレスは、画面表示順に割り振られる。すなわち、第1図Aに示すような、16×16ピクセルから構成されるYマクロブロックが、720×480ピクセルからなる画面の場合、第1図Bに示すように、フレームメモリ内には、横に45個、縦に30個並んだ状態で記憶される。

20    このようにメモリアドレスを割り振り、記憶させる場合、このフレームメモリに記憶されている映像データに基づいて、画面に表示させるときには、適したアドレスの割り振りである。例えば、第1図Aに示したフレームメモリにおいて、画面最上部の1ラインが表示されるとき、アドレスの0000乃至0719(720ピクセル分のデータ)まで、連続して読み出すことが可能であるため、ページミスヒットの発生を最小限に抑えることが可能となる。ここで、ページミスとは、DRAM (Dynam

25

c Random Access Memory)などのメモリにおいて備えられているセンスアンプをプレチャージするために必要な時間(従って、プレチャージしている間は、データの読み出しなどの処理は行えない)である。

ところで、フレームメモリには一般的にDRAMが用いられる。DRAMは、  
5 ロー(row)とカラム(column)で構成され、1つのローは、256(512などの場合もある)×8カラムからなる蓄電素子で構成されている。この蓄電素子のうち、8bit素子は外部端子を8ピン備え、16bit素子は外部端子を16ピン備える。これは、1クロックで出力できるbit数を表し、8bit素子では、1クロックで8bit出力され、16bit  
10 bit素子では、1クロックで16bit出力される。そして、同一ロー内では、連続してデータを取り出すことが可能である。すなわち、8bit素子においては、1ローに256×8bitのデータが蓄電されているため、256クロック分のデータ(256byte分のデータ)が連続して読み出せる。

15 ビデオデコーダなどにおいては、フレームメモリに記憶される映像データは、マクロブロック単位で送信され、デコードする順番もマクロブロック順にされる。1つのYマクロブロックは、1ラインが16ピクセル(従って、16byte)で、16ラインから構成されている。そのため、例えば、1番目のYマクロブロックの場合、第1ラインは、アドレス  
20 0000乃至0015、第2ラインは、アドレス0720乃至0735、第3ラインは、アドレス1440乃至1455という具合に、アドレスが分割されて(一続きのアドレスではなく)記憶されている。

またMPEG方式のストリームからデジタルビデオ信号のストリームを復号する場合、先ず、デコード装置内の解析部において、シーケンスヘッダ(Sequence\_\_Header)を検出する処理が行なわれる。これは、シー  
25 ケンスヘッダを検出しないと、画サイズやアスペクト比が特定できない

ためである。

すなわち、MPEGストリームでは、SDTV (Standard Definition Television) の画面やHDTV (High Definition Television) の画面が送られる場合がある。例えば、デジタル衛星放送では、1つのチャンネルで、

5 SDTVの画面のプログラムとHDTVの画面のプログラムとが多重化されて放送される場合がある。また、SDTVの画面のプログラムのチャンネルとHDTVの画面のプログラムのチャンネルとが切り換えられる場合がある。

MPEGストリームを復号する場合には、まず、画サイズやアスペクト比を設定する必要がある。MPEG方式では、最上位の階層として、シーケンス層が定められている。1つのシーケンスでは、画サイズやピクチャレートが同一とされている。そして、各シーケンスの先頭では、シーケンスヘッダが送られてくる。このシーケンスヘッダには、画サイズやアスペクト比、ピクチャレート等が記述されている。

10

このため、従来では、MPEG方式のビットストリームをデコードする場合には、まず、画サイズやアスペクト比を設定するために、シーケンスヘッダが検出される。そして、シーケンスヘッダから画サイズやアスペクト比が設定された後に、最初のフィールド内又はフレーム内符号化されたピクチャから復号が開始される。

15

1ローに記憶されているデータを取り出した後、次のローに移り、そのローに記憶されているデータを読み出すまでには、プリチャージの為の約6クロック、待たなくてはならない。このように、別のローに格納されているデータを読み出す為に必要とされるプリチャージのことは、上述したように、ページミスと称される。上述した8bil素子では、256クロック毎に(256byteのデータを取り出す毎に)、16bil素子では、128クロック毎に、ページミスが発生することになる。このように、1クロックで取り出せるデータ量が大きくなると、ページミス

20

25

の発生回数（発生周期）も少なくなることがわかる。

第1図Bに示したように、映像データが記憶され、アドレス0000乃至0719まで読み出して第1水平ラインを表示させ、アドレス0720乃至1439まで読みだして第2水平ラインを表示させ、というように、1ラインずつ読み出して表示させる場合、8bit素子では、256byte毎にページミスが発生する。ページミスはロスタイムとなるため、なるべく発生しないようにすることが、メモリ（DRAM）の能力を最大限に引き出すことになる。

一方、上述したビデオレコーダの場合、マクロブロック単位で記憶され、マクロブロック単位で読み出される。また、上述したように、1つのYマクロブロックは、16ラインで構成されているため、1ラインを読み出す毎に、ページミスが発生することになる。すなわち、1つのYマクロブロックを読み出す毎に、16回のページミスが発生することになる。また、クロマ（Cb、Cr）においては、1マクロブロックには、1ラインが8byteで、8ラインから構成されているので、1つのCb（Cr）マクロブロックを読み出す毎に、8回のページミスが発生することになる。

フレームメモリに16bit素子を用いた場合、1クロックに16bit（2byte）のデータを出力することができるため、Yマクロブロックにおいては、8クロックに1回の割合でページミスが発生し、CbマクロブロックとCrマクロブロックにおいては、それぞれ、4クロックに1回の割合でページミスが発生することになる。従って、Yマクロブロックの1ライン読み出すのに8クロック（Yマクロブロックの1ラインは16byteから構成されている）必要であり、1つのYマクロブロックを読み出すためには、8×16クロック（1つのYマクロブロックは、16ラインから構成されている）必要である。

これに対し、1回のページミスに6クロックの時間が費やされるとし、そのページミスによるロスタイムは、1つのYマクロブロックを読み出す場合、16回のページミスが発生するわけであるから、 $6 \times 16$ クロックであることがわかる。これは、1つのYマクロブロックを読み出すための時間 $8 \times 16$ クロックと比べて、ページミスの割合がかなり多い、換言すれば、ロスタイムが大きいことを示している。また、クロマのマクロブロックに対しても同様に、データを読み出す為の時間に対するロスタイムの比率が大きい。

ページミスは、動き補償によるデコードを行う際にも発生する。すなわち、デコードするマクロブロックに付随する動きベクトルにより、フレームメモリの任意の位置から1マクロブロック分の映像データを取り出すが、上述した場合と同じく、マクロブロックの1ラインを読み出す毎にアドレスが1ライン分移動するため、ページミスが発生する。DRAMなどの能力を最大に引き出したい場合、ページミスといったロスタイムはできる限り小さく抑えることが必要であるといった課題があった。

本発明はこのような状況に鑑みてなされたものであり、本発明の目的は、マクロブロックの映像データに対して、昇順にアドレスを割り振り記憶させるようにすることにより、ページミスの発生を抑制することにある。

またMPEGストリームの復号を行なう場合には、先ず、シーケンスヘッダが検出されて、画サイズやアスペクト比が設定されている。ところが、シーケンスヘッダを検出してからMPEGストリームの復号を行なうのは、シーケンスヘッダを検出するのに時間がかかり、再生が開始されるまでにかかなりの待ち時間が必要になるという問題がある。

すなわち、MPEG方式のシーケンス層は、画サイズやピクチャレートが同一となるストリームである。シーケンスヘッダは、最小でGOP (Gr

opu Of Picture) 周期に設けることができるが、シーケンスヘッダの周期は決められていない。したがって、シーケンスの長さは、最大では、1ビデオプログラムにおよぶということになる。このため、従来では、例えば、衛星放送のチャンネルを切り換えたときには、シーケンスヘッダを検出するのに時間がかかり、再生が開始されるまでに、かなりの待ち時間が必要になる場合がある。

本発明の他の目的は、MPEGストリームのシーケンスヘッダ情報が検出されないときには、シーケンスヘッダの情報を推定してデコードを開始させることにより、MPEGストリームを直ちにデコードできるようにした映像処理装置及び方法を提供することにある。

#### 発明の開示

本発明に係わる映像処理装置は、マクロブロック単位の映像データを入力する入力手段と、入力手段により入力された映像データに、昇順にアドレスを割り当て、記憶する記憶手段と、記憶手段に記憶された映像データを、アドレスの昇順に読み出す読み出し手段とを含むことを特徴とする。

本発明に係わる映像処理方法は、マクロブロック単位の映像データを入力する入力ステップと、入力ステップで入力された映像データに、昇順にアドレスを割り当て、記憶する記憶ステップと、記憶ステップで記憶された映像データを、アドレスの昇順に読み出す読み出しステップとを含むことを特徴とする。

本発明に係わる媒体のプログラムは、マクロブロック単位の映像データを入力する入力ステップと、入力ステップで入力された映像データに、昇順にアドレスを割り当て、記憶する記憶ステップと、記憶ステップで記憶された映像データを、アドレスの昇順に読み出す読み出しステップ



ブとからなることを特徴とする。

本発明に係わる映像処理装置、映像処理方法及び媒体においては、入力されたマクロブロック単位の映像データに、昇順にアドレスが割り当てられ、記憶され、記憶された映像データが、アドレスの昇順に読み出  
5 される。

本発明に係わる映像処理装置は、シーケンス層とGOP層とピクチャ層とスライス層とマクロブロック層とブロック層とからなる階層構造のビデオストリームを復号する映像処理装置において、ピクチャ内に必ず現れる情報に基づいてシーケンスヘッダ情報を推定するシーケンスヘッ  
10 ダ情報推定手段と、シーケンスヘッダが検出されないときには、ヘッダ情報推定手段で推定された情報を用いてビデオデータを復号する復号手段とを備えることを特徴とする。

スライススタートコード (Slice \_Start \_Code) の4バイト目は、スライスの垂直位置を示している。したがって、スライススタートコー  
15 ド (Slice \_Start \_Code) の4バイト目検出すれば、画面の垂直方向の画素数が求められる。また、マクロブロックアドレスインクリメント (Macroblock \_Address \_Increment ) は、マクロブロックのスキップ情報を示している。したがって、マクロブロックを復号する毎にマクロブロックアドレスインクリメントを蓄積していけば、画面の水平方向の  
20 マクロブロック数が求められる。これに、マクロブロックの大きさを乗算すれば、画面の水平方向の画素数が求められる。

このようにして推定された情報を使ってMPEGストリームの復号を行なうようにすれば、シーケンスヘッダを検出しなくても、直ちに、MPEGストリームの復号を行なうことができる。

25

図面の簡単な説明

第 1 図 A 及び第 1 図 B は従来の映像データの記憶の仕方について説明する図、第 2 図は本発明を適用した映像処理装置の一実施の形態の構成を示すブロック図、第 3 図は第 2 図のデコード部 1 2 の詳細な構成を示すブロック図、第 4 図は本発明の映像データの記憶の仕方について説明する図、第 5 図は本発明の映像データの記憶の仕方について説明する図、第 6 図は予測マクロブロックの読み出しについて説明する図、第 7 図はこの発明が適用された MPEG デコード装置の一例のブロック図、第 8 図は MPEG 方式の階層構造の説明に用いる略線図、第 9 図はスライスの説明に用いる略線図、第 10 図は水平方向の画サイズの推定回路の構成を示す機能ブロック図、第 11 図はマクロブロックの説明に用いる略線図、第 12 図は垂直方向の画サイズの推定回路の構成を示す機能ブロック図、第 13 図はオーディオデコーダ 100 の一実施の形態の構成を示すブロック図、第 14 図はメッセージ送信プログラムからデコードプログラムに送信されるメッセージ例を説明するための図、第 15 図 A 及び第 15 図 B はメモリ 114 のダミーブロック 131 と BBB チェーン 132 を説明するための図、第 16 図はデコーダ 100 の処理動作を説明するためのフローチャート、第 17 図 A から第 17 図 C は媒体を説明する図である。

## 20 発明を実施するための最良の形態

第 2 図は、MPEG 2 方式で符号化（エンコード）されたデータを復号（デコード）する映像処理装置の構成を示すブロック図である。チューナ 1 により受信された映像データは、復調処理部 2 において、復調処理され、誤り訂正処理部 3 により、誤り訂正処理される。さらに、誤り訂正処理された映像データは、ソフトウェア処理部 4 に送られる。このソフトウェア処理部 4 は、図示されていない CPU（Central Processing Uni

1) によって実行されるソフトウェアプログラムにより構成される。ソフトウェア処理部 4 のデマルチプレクサ部 11 は、入力されたデータをチャンネル毎に映像データとオーディオデータとにデマルチプレクスする。デマルチプレクスされた映像データは、デコード部 12 において、  
5 MPEG方式でデコードされる。

デコード部 12 の出力は、表示処理部 13 において、例えば、ハイビジョンに代表される高品位テレビジョン信号から、NTSC (National Television System Committee) 方式のテレビジョン信号に走査線数変換される。また、コントローラ 14 は、デコード部 12 の他に、ソフトウェア処理部 4 の各部を制御すると共に、映像データの処理に関し、キャッシュメモリ 7 を随時使用する。DMAC (Direct Memory Access Controller) 6 は、キャッシュメモリ 7 からフレームメモリ 5 へのDMA転送を制御する。フレームメモリ 5 は、例えば、DRAMから構成され、記憶された映像データは、図示されていない映像表示装置に出力される。

15 第3図は、第2図に示したデコード部 12 のより詳細な構成を示したブロック図である。デマルチプレクサ部 11 から出力された映像データは、デコード部 12 の可変長復号部 31 に入力される。可変長復号部 31 は、入力された映像データを可変長復号処理し、量子化ステップと映像データを逆量子化部 32 に、動きベクトルを動き補償予測部 35 に、  
20 それぞれ出力する。逆量子化部 32 は、可変長符号化部 31 から供給された量子化ステップに基づいて、可変長符号処理された映像データを逆量子化する。逆量子化された映像データは、コントローラ 14 を介して、キャッシュメモリ 7 に格納される。

イントラマクロブロックの場合、逆DCT変換部 33 で逆DCT変換処理  
25 された映像データは、そのまま、キャッシュメモリ 7 に転送され、格納される。ノンイントラマクロブロックの場合、動き補償予測部 35 は、

可変長復号部 3 1 より供給される動きベクトルと、フレームメモリ 5 に記憶されている参照映像を用いて、予測マクロブロックを演算し、その映像データが、キャッシュメモリ 7 に記憶される。演算器 3.4 は、逆 DCT 変換部 3 3 から供給される映像データ（差分データ）とキャッシュメモリ 7 から供給される予測マクロブロックとを加算して、デコード映像データとし、キャッシュメモリ 7 に転送する。そして、キャッシュメモリ 7 に記憶された映像データは、DMAC 6 の制御に基づいて、フレームメモリ 5 に DMA 転送される。

次に、第 2 図に示した映像復号装置の動作について説明する。チューナ 1 が、映像データを受信し、復調処理部 2 にその映像データを出力する。映像データを入力した復調処理部 2 は、入力した映像データを復調処理し、誤り訂正処理部 3 に出力する。誤り訂正処理部 3 は、入力された復調処理された映像データの誤り訂正処理を行い、ソフトウェア処理部 4 に出力する。ソフトウェア処理部 4 は、入力された映像データを、まずデマルチプレクサ部 1 1 により、チャンネル毎に映像データとオーディオデータとにデマルチプレクスし、デコード部 1 2 に出力する。

デコード部 1 2 は、コントローラ 1 4 により制御され、キャッシュメモリ 7 とフレームメモリ 5 を随時使用して、映像データをデコードし、デコードした映像データを表示処理部 1 3 に出力する。表示処理部 1 3 は、デコードされた映像データを走査線数変換処理し、フレームメモリ 5 に格納する。そして、フレームメモリ 5 に記憶された映像データは、走査線数変換処理された映像データを図示されていない映像表示装置などに出力される。

第 3 図に示したデコード部 1 2 のフレームメモリ 5 への映像データの書き込みについて説明する。フレームメモリ 5 へのデータの書き込みや、フレームメモリ 5 からのデータの読み出しは、マクロブロック単位で

行われる。1つのYマクロブロックは、16×16ピクセルから構成されているため、256 byteのデータから構成されていることになる。また、CbマクロブロックとCrマクロブロックは、それぞれ、64 (= 8×8) byteから構成されている。そこで、Yマクロブロックは、第4  
5 図に示すように、一番初めに読み込まれる画面上で一番上の左側に位置するYマクロブロックをフレームメモリ5のアドレス0000乃至0255に、その次に読み込まれるYマクロブロックをアドレス0256乃至0511に、さらにその次に読み込まれるYマクロブロックをアドレス0512乃至0768というように、順次、連続したアドレスが昇順  
10 に割り振られ記憶される。

同様に、CbマクロブロックとCrマクロブロックのクロママクロブロックは、それぞれ、第5図に示すように、一番初めに読み込まれるクロママクロブロックがアドレス0000乃至0063に、次に読み込まれるクロママクロブロックがアドレス0064乃至0128にというよ  
15 うに、順次、連続したアドレスが昇順に割り振られ記憶される。

このようにマクロブロック単位の映像データを記憶することにより、ページミスは、1つのマクロブロックの読み出しにおいては、Yマクロブロックも、Cb(Cr)マクロブロックの両方とも、1回も発生しない。すなわち、ページミスは、読み出し対象となっているローを切り換  
20 えるときに発生し、1ローは、256 byte(以下、適宜、この256 byteを1ページと称し、この単位毎の区切りをページ区切りと称する)から構成されているため、少なくとも、256 byteの読み出し毎に発生することになるのだが、上述したように、データをフレームメモリ5に記憶させれば、Yマクロブロックは1マクロブロック毎にページ区切りが  
25 発生し、Cb(Cr)マクロブロックについては、4マクロブロック毎にページ区切りが発生することになる。

ページミス（ロスタイム）を最小限に抑える為には、ローの切り替えを少なくするようにすればよいので、上述したように、データをフレームメモリ 5 に記憶させることにより、ロスタイムを軽減させる事が可能となる。

- 5     次に、このようにして、映像データが記憶されているフレームメモリ 5 から動き補償ベクトルにより、予測映像データを取り出す場合を説明する。ここでは、Yマクロブロックを対象とした場合を例に挙げて説明する。1つのYマクロブロックは、上述したように、16×16ピクセル（16×16 byte）から構成されている。
- 10    第6図は、画面表示装置の画面上に表示される画面を想定し、マクロブロックMA\_\_m から、予測されるマクロブロックMA\_\_n（デコードされるマクロブロック）の位置関係を示した図である。MA\_\_nの動き補償ベクトルのうち、図中、横（水平）方向の動き補償ベクトルをベクトルxと表し、縦（垂直）方向の動き補償ベクトルをベクトルyとする。この
- 15    ベクトルxとベクトルyは、マクロブロックMA\_\_nを、マクロブロックMA\_\_mの左上端部からデータを取り出すべき水平方向と垂直方向のアドレスオフセットを決定するためのものである。

ベクトルxとベクトルyとで位置が一意に決定されるマクロブロックMA\_\_mは、第6図に示すように、最大4個のマクロブロックにまたがっている場合が想定される。これら4個のマクロブロックを、左上から右下に順番にマクロブロックMA\_\_0、マクロブロックMA\_\_1、マクロブロックMA\_\_2、およびマクロブロックMA\_\_3と記述すると、デコードすべきマクロブロックMA\_\_n、およびベクトルx、yの関係は、次式に示すようになる。

25     
$$MA\_0 = MA\_n + x / 16 + MA\_w \times y / 16$$
$$MA\_1 = MA\_0 + 1$$

$$MA\_2 = MA\_0 + MA\_w$$

$$MA\_3 = MA\_0 + MA\_w + 1$$

... (1)

ここで、 $x$  および  $y$  は、それぞれベクトル  $x$ 、 $y$  の大きさを示し、 $MA\_w$  は、画面の水平方向のライン上に並んでいるマクロブロックの数を示す。

さらに、各マクロブロック  $MA\_0$ 、 $MA\_1$ 、 $MA\_2$ 、 $MA\_3$  の、マクロブロック  $MA\_m$  と重なる部分の左上端のアドレス（先頭アドレス）は、次式に従って算出される。マクロブロック  $MA\_0$ 、 $MA\_1$ 、 $MA\_2$ 、  
10  $MA\_3$  の先頭アドレスを、それぞれ、アドレス  $ad\_0$ 、 $ad\_1$ 、 $ad\_2$ 、 $ad\_3$  とする。

$$ad\_0 = ad\_MA\_0 + x \% 16 + 16 \times (y \% 16)$$

$$ad\_1 = ad\_MA\_1 + 16 \times (y \% 16)$$

$$ad\_2 = ad\_MA\_2 + x \% 16$$

$$15 \quad ad\_3 = ad\_MA\_3$$

... (2)

ここで、 $ad\_MA\_0$ 、 $ad\_MA\_1$ 、 $ad\_MA\_2$ 、 $ad\_MA\_3$  は、それぞれ、マクロブロック  $MA\_0$ 、 $MA\_1$ 、 $MA\_2$ 、 $MA\_3$  の先頭アドレスであり、 $x \% 16$  は、ベクトル  $x$  の大きさを 16 で除算したときの余りを示し、同様に、 $y \% 16$  は、ベクトル  $y$  の大きさを 16 で除算したときの余りを示す。  
20

各マクロブロック  $MA\_0$ 、 $MA\_1$ 、 $MA\_2$ 、 $MA\_3$  の、マクロブロック  $MA\_m$  と重なる部分との、水平データ数と垂直ライン数は、次式に従って算出される。次式において、 $MA\_0\_h$  は、マクロブロック  $MA\_m$  とマクロブロック  $MA\_0$  が重なる部分の水平データ数を示し、 $MA\_0\_v$  は、マクロブロック  $MA\_m$  とマクロブロック  $MA\_0$  が重なる部分の垂  
25

直ライン数を示す。他の記述も同様の意味を示す。

$$MA\_0\_h = 16 - (x \% 16), MA\_0\_v = 16 - (y \% 16)$$

$$MA\_1\_h = 16 - MA\_0\_h, MA\_1\_v = MA\_0\_v$$

$$MA\_2\_h = MA\_0\_h, MA\_2\_v = 16 - MA\_0\_v$$

$$5 \quad MA\_3\_h = MA\_1\_h, MA\_3\_v = MA\_2\_v$$

... (3)

このように、4つのマクロブロックMA\_0, MA\_1, MA\_2, MA\_3からデータを取り出す場合、4回のページミスが発生する。同じマクロブロック(1つのマクロブロック)からデータを取り出す場合、ページ  
10 ミスは発生しない。すなわち、ページミスは最低0回、最大4回、発生する可能性がある。

しかしながら、DRAMなどでは、2個のバンクが設けられており、データの書き込みや読み出しは、そのバンクを切り換えることにより行われている。マクロブロックにおいては、1水平ライン毎に、交互に、異なるバンクに書き込みが行われる。そのため、第6図に示したように2つの  
15 バンク0とバンク1とを用いて書き込みが行われる場合、バンク0からマクロブロックMA\_0の1水平ラインのデータを読み出し、次にバンク1からマクロブロックMA\_2の1水平ラインのデータを読み出し、その次に、バンク0からマクロブロックMA\_1の1水平ラインのデータを読み出し、そしてその次に、バンク1からマクロブロックMA\_3の1水平  
20 ラインのデータを読み出すという処理を繰り返すようにする。

このようにバンク0とバンク1とを切り換えることによりデータを読み出すようにすれば、ページミスは発生しない。すなわち、バンク0とバンク1は、それぞれ独立したセンスアンプを備えているため、それぞれ  
25 独立にアクティブな状態(プリチャージの状態)にしておくことが可能であるので、別のバンクに記憶されているマクロブロック間を連続し



て読み出ししても（バンクを切り換えることにより読み出しを行っても）、その切り換えによるページミス（ロスタイム）は無視できる。従って、最初にマクロブロックMA\_\_0のデータを読み出す時に発生するページミスのみがロスタイムとなる。

- 5 上述した説明においては、式（1）乃至式（3）においては、Yマクロブロックの読み出しの場合について説明したが、クロマ（Cb、Cr）のマクロブロックのときは、各式における16を8にして算出すれば良い。

以上のように、映像データの書き込みおよび読み出しを行うことによ  
10 り、1つのYマクロブロックを読み出すのに必要な時間のうち、データ転送の為の時間は、 $8 \times 16$ クロックとなり、ページミスの為のロスタイムは、1回のページミスの時間を6クロックとすると、 $6 \times 1$ クロックとなるため、データ転送の為の時間に対するページミスによるロスタイムの割合を減少させることが可能となる。同様に、1つのCb（Cr  
15 ）マクロブロックを読み出す場合においても、データ転送の為の時間に対するページミスによるロスタイムの割合を減少させることが可能となる。

次に、映像表示装置（不図示）に対して、映像データを出力する際の処理について説明する。第1図Bに示したようにマクロブロック単位で  
20 の映像データを、画面上でのデータ配置とフレームメモリ内でのデータ配置が同じように記憶した場合、アドレスの昇順にデータを読み出すことにより、映像表示が行われていたが、第4図（第5図）に示したように、マクロブロックを1ラインまたは2ラインで記憶する場合、アドレスの昇順にデータを読み出すことにより、映像表示させることはできな  
25 い。

換言すれば、第1図Bに示したように映像データを記憶した場合、画

面上の1ラインを表示させるために、各マクロブロックから16ピクセル（16 byte）分の映像データが読み出されるわけだが、第4図（第5図）に示したように映像データを記憶させた場合においても同様に、各マクロブロックから16 byte毎の映像データを読み出さなくてはならない。そのようにすると、16 byte読み出す毎に、ローを切り換えなくてはならず、そのたびにページミスが発生することになる。このような不都合をなくすために、以下に示すように、アドレス変換を行い、映像データを映像表示装置に出力するようにすればよい。

第3図に示したキャッシュメモリ7を一時的なバッファとして用い、10 1スライス分の映像データをフレームメモリ5からキャッシュメモリ7へロードし、第1図Bに示したようなメモリ構造（アドレス）に変換する。キャッシュメモリ7に、SRAM（Static RAM）を用いた場合、DRAMのように、ページが存在しないため、ページミスは発生しない。

具体的に、第4図に示したようにYマクロブロックが記憶されている15 状態から第1図Bに示したようにYマクロブロックが記憶されている状態へとアドレス変換する場合を説明する。第4図に示したように映像データが記憶されているフレームメモリ7から、第1ラインの映像データとしてアドレス0000乃至0015までの映像データを読み出し、キャッシュメモリ7のアドレス0000乃至0015に記憶させる。次に20、第2ラインの映像データとしてアドレス0016乃至0031までの映像データを読み出し、キャッシュメモリ7のアドレス0720乃至0735に記憶させる。続いて、第3ラインの映像データとしてアドレス0032乃至0047までの映像データを読み出し、キャッシュメモリ7のアドレス1440乃至1455に記憶させる。このような処理を繰25 り返す。

このように、フレームメモリ7から映像データを読み出す場合、読み

出し自体は、アドレスの昇順に行われるため、ページミスは256 byte 毎にしか発生しない。キャッシュメモリ7に記憶された映像データは、フレームメモリ5に再転送され、記憶される。そして、フレームメモリ5に第1図Bに示したように記憶された映像データは、映像表示装置（5 不図示）に出力される。

キャッシュメモリ7からフレームメモリ5への再転送は、1対1のアドレス順に行われるため、また、キャッシュメモリ7がSRAMで構成されている場合はページミスが発生しないため、この処理によるロスタイムは発生しない。

10 上述した説明では、キャッシュメモリ7からフレームメモリ5へ映像データを再転送するようにしたが、キャッシュメモリ7から、フレームメモリ5とは異なる表示用の、または、スケーリング用のフレームメモリ（DRAM）に転送されるようにしても良い。

上述したように、マクロブロックの映像データの書き込みおよび読み出しを行うことにより、デコードが終了したマクロブロックを順次DRAM  
15 などで構成されるフレームメモリの同一ページに格納できるため、DRAMのバースト転送機能を利用してページミスが発生する回数を減少させ、メモリバンド幅を向上することが可能となる。また、マクロブロックが、フレームメモリ内の同一ページ内に格納されているため、動き補償ベ  
20 クトルにより参照マクロブロックを取り出す場合においても、DRAMのバースト転送を利用し、ページミスの発生回数を減少させ、メモリバンド幅を向上させることが可能となる。

また、マクロブロックをフレームメモリに格納する際、画面の水平幅毎に交互にDRAMの別バンクへ格納することにより、複数個（最大4個）  
25 のマクロブロックから予測データを取り出す場合においても、ページミスを最小に抑えることができ、さらに、2つのバンクで構成できるため

、メモリシステムの構造を単純化でき、容量が小さい（少ない）DRAMでも実現可能なため、フレキシブル性にとんでいる。

次に、MPEGストリームのシーケンスヘッダ情報が検出されないときには、シーケンスヘッダの情報を推定してデコードを開始させることにより、MPEGストリームを直ちにデコードできるようにした映像処理装置について説明する。第7図は、この発明が適用された映像処理装置の一例を示すものである。第7図において、デマルチプレクサ11からのMPEGストリームがMPEGデコーダ12に供給されると共に、シーケンスヘッダ推測回路16に供給される。MPEGデコーダ12は、MPEGストリームの復号処理を行なうものである。

MPEGデコーダ12で、MPEGストリームが復号され、MPEGデコーダ12からは、デジタルビデオデータのストリームが出力される。MPEGデコーダ12の出力が表示処理部13を介して、ディスプレイ15に供給される。これにより、ディスプレイ15に、MPEGストリームに基づく画面が映出される。

MPEGデコーダ12でMPEGストリームの復号を行なう場合には、まず、画サイズやアスペクト比等を設定する必要がある。これらの情報は、シーケンスヘッダ（Sequence\_\_Header）により検出できる。ところが、シーケンスヘッダを検出するのに時間がかかる場合がある。

そこで、シーケンスヘッダ推測回路16が設けられる。シーケンスヘッダ推測回路16は、ピクチャ毎に必ず含まれている情報を使って、シーケンスヘッダで送られてくるべき情報を推測するものである。

すなわち、シーケンスヘッダでは、画サイズやアスペクト比、フレームレート、V B Vバッファサイズ、量子化マトリクスの情報等が送られる。シーケンスヘッダ推測回路16では、スライスの情報を使って、垂直方向の画サイズが推測される。マクロブロックの情報を使って、水平

方向の画サイズが推測される。推測された垂直方向の画サイズと水平方向の画サイズとを使って、アスペクト比が推測される。D T S / P T S等のタイムスタンプによって復号のタイミングを知ることにより、フレームレイトが推測される。シーケンスヘッダ推測回路 1 6 の出力がMPEGデコーダ 1 2 に供給されると共に、表示処理部 1 3 に供給される。

MPEGデコーダ 1 2 でMPEGストリームの復号を行なう場合には、シーケンスヘッダが検出できれば、このシーケンスヘッダの情報を使って、画サイズやアスペクト比、フレームレイト、V B Vバッファサイズ、量子化マトリクス、プログレシブシーケンス等が設定される。

10 MPEGデコーダ 1 2 でシーケンスヘッダが検出できないときには、シーケンスヘッダ推測回路 1 6 で推測された画サイズやアスペクト比、フレームレイト、V B Vバッファサイズ、量子化マトリクス、プログレシブシーケンス等が設定される。

また、MPEGデコーダ 1 2 でシーケンスヘッダが検出できないときには  
15 、シーケンスヘッダ推測回路 1 6 で推測された画サイズやアスペクト比が表示処理回路 1 3 に送られ、シーケンスヘッダ推測回路 1 6 で推測された画サイズやアスペクト比に応じて、表示画面が設定される。

このように、この発明が適用されたこの発明が適用されたMPEG復号装置では、シーケンスヘッダの情報を推測するシーケンスヘッダ推測回路  
20 1 6 が設けられており、シーケンスヘッダが検出できないときには、シーケンスヘッダ推測回路 1 6 で推測された画サイズやアスペクト比を使って、復号処理が行なわれる。このため、例えば、衛星放送でチャンネルを切り換えたときにも、待ち時間が殆どなく、再生を開始させることができる。

25 次に、上述のシーケンスヘッダ推測回路 1 6 の原理、構成について、具体的に説明する。

第8図に示すよう、MPEGのデータ構造は、シーケンス層、GOP層、ピクチャ層、スライス層、マクロブロック層、ブロック層の階層構造となっている。

シーケンス層は、一連の同じ属性、例えば、同じ画サイズ、同じ映像  
5 レートを持つ画面のグループである。GOP層は、ランダムアクセスの単位となる画面のグループである。ピクチャ層は、1枚の画面に共通な属性のグループである。スライス層は、1枚の画面を細分化したグループである。マクロブロック層は、スライス層を更に細分化したグループで、動きベクトル検出等を行なうためのグループである。ブロック層は  
10 DCT変換を行なうためのブロックそのものである。

シーケンスの先頭には、シーケンスヘッダ (SH:Sequence Header) が設けられる。このシーケンスヘッダには、

- (1)Horizontal Size Value : 映像の水平方向の画素数
  - (2)Vertical Size Value : 映像の垂直方向の画素数
  - 15 (3)Aspect Ratio Information : アスペクト比
  - (4)Frame Rate Code : 映像の表示周期
  - (5)VBV Buffer Size : 発生符号量制御用仮想バッファ (VBV) の大きさ
  - (6)Load Quantization Matrix : マクロブロック用の量子化マトリクス
  - 20 (7)Progressive Sequence : 順次走査であることを示す
- 等が記述されている。

このうち、映像の垂直方向の画素数 (Vertical Size Value) の情報は、スライスの情報から推定できる。

25 すなわち、第9図は、1ピクチャ中のスライスの構成を示すものである。第9図に示すように、1ピクチャは、複数のスライスに分けられる

。1ピクチャでの最上段 ( $Bs = 1$ ) の最左端のスライスは `Slice` ( $1, 0$ ) とされ、最上段の左から2番目のスライスは `Slice` ( $1, 1$ ) とされる。以下、同様に、1ピクチャでの最下段 ( $Bs = N$ ) の最左端のスライスは `Slice` ( $N, 0$ ) とされ、最下段の左から2番  
5 目のスライスは `Slice` ( $N, 1$ ) とされる。

このように、スライスは、水平方向には複数存在可能であるが、必ず、ピクチャの左端で新たなスライスIDがスタートコードに持つスライスに切り換わる。このことから、スライスを使えば、1ピクチャの垂直方向のサイズを推測することができる。

10 すなわち、各スライスの先頭には、スライス層の開始を示す同期コードであるスライススタートコード (`Slice __Start __Code`) が挿入されている。このスライススタートコードは、16進数の「00 00 01 01 ~ AF」で示されており、コードの最後の1バイト (4バイト目の「01 ~ AF」) は、スライスの垂直位置を16進数で示している  
15 。このように、スライススタートコード (`Slice __Start __Code`) の4バイト目は、スライスの垂直方向の位置に対応しており、これは、同一のラインでは同一の数となる。

以上のことから、1ピクチャでの最下段でのスライススタートコードの4バイト目を検出すれば、画面の垂直方向の画素数が推定できること  
20 になる。

第10図は、上述のように、スライスの情報から画面の垂直方向の画素数を推定するための構成を示す機能ブロック図である。第10図において、入力端子41にMPEGストリームが供給される。このMPEGストリーム中のピクチャスタートコード (`Picture __Start __Code`) がピクチャ  
25 スタートコード検出部42で検出され、スライススタートコード (`Slice __Start __Code`) がスライススタートコード検出部43で検出される

ピクチャスタートコード (Picture \_\_Start \_\_Code) は、ピクチャ層の開始を示すコードである。スライススタートコード (Slice \_\_Start \_\_Code) は、スライス層の開始を示すコードで、このスライススタート

5 コードの4バイト目は、垂直位置を示している。

スライススタートコード検出部43の出力が4バイト目抽出部44に送られる。4バイト目抽出部44で、スライススタートコードの4バイト目の情報が抽出される。この4バイト目抽出部44の出力が垂直サイズレジスタ45に送られる。

10 ピクチャスタートコード検出部42でピクチャスタートコードが検出されることにより、1ピクチャの先頭が検出できる。1ピクチャの先頭が検出されたら、垂直サイズレジスタ45がリセットされる。そして、スライススタートコード検出部43でスライススタートコードが検出されたかどうか判断される。

15 スライススタートコード検出部43でスライススタートコードが検出されたら、4バイト目抽出部44でスライススタートコードの4バイト目の情報が抽出され、このスライススタートコードの4バイト目の情報がレジスタ45に供給される。そして、ピクチャスタートコード検出部42で次のピクチャスタートコードが検出されるまで、スライススタート

20 トコード検出部43でスライススタートコードが検出されたら、4バイト目抽出部44でスライススタートコードの4バイト目の情報を抽出し、この値でレジスタ45を更新していく。

そして、ピクチャスタートコード検出部42で次のピクチャスタートコードが検出されたら、レジスタ45の情報が垂直方向の画素数の情報

25 として、垂直サイズレジスタ46に取り込まれる。

このように、ピクチャの先頭から最後まで、スライススタートコード



検出部 4 3 でスライススタートコードを検出していき、スライススタートコードが検出されたら、4 バイト目抽出部 4 4 でその 4 バイト目の値を抽出して垂直サイズレジスタ 4 5 に取り込んでいけば、垂直サイズレジスタ 4 6 の値から、垂直方向の画素数の推定値が得られる。

- 5     映像の水平方向の画素数 ( Horizontal \_\_Size\_\_Value ) については、マクロブロックの情報から推定できる。すなわち、第 1 1 図に示すように、マクロブロックは、スライスを更に区切ったものである。なお、この例では、スライス S l i c e ( 1 , 0 ) に、マクロブロック M B 1、M B 2、M B 3 があり、スライス S l i c e ( 1 , 1 ) に M B 4、M  
10 B 5、M B 6、M B 7 がある。また、スライス S l i c e ( 1 , 0 ) のマクロブロック M B 2 と M B 3 との間に、スキップされたマクロブロックが存在する。

マクロブロックの先頭には、マクロブロックアドレスインクリメント (Macroblock\_\_Address \_\_Increment ) が設けられる。このマクロブ  
15 ックアドレスインクリメントは、スキップするマクロブロックを示す V L C ( 可変長符号 ) であり、通常の隣接するマクロブロックでは「 1 」であるが、スキップされるマクロブロックが存在する場合には、スキップされたマクロブロックの分だけ増加した値となる。

- したがって、1 スライス内でのマクロブロックアドレスインクリメン  
20 トの値をマクロブロック毎に蓄積していき、水平方向に複数のスライスが存在する場合には、各スライスにおいて蓄積されたマクロブロックアドレスインクリメントの値を合算することで、1 画面当たりの横方向のマクロブロック数が認識できる。これに、マクロブロックの大きさ、すなわち、輝度信号に関しては「 1 6」、2 つの色差信号に関しては「 8  
25 」を乗じれば、1 ピクチャ当たりの水平方向の画素数が推定できる。

第 1 2 図は、上述のように、マクロブロックの情報から画面の水平方

向の画素数を推定するための構成を示す機能ブロック図である。

第 1 2 図において、入力端子 5 1 に MPEG ストリームが供給される。この MPEG ストリーム中のスライススタートコード (Slice \_\_Start \_\_Code) がスライススタートコード検出部 5 2 で検出され、マクロブロックアドレスインクリメント (Macroblock \_\_Address \_\_Increment) がマクロブロックアドレスインクリメント検出部 5 3 で検出される。

また、水平方向の画素数を推測する場合には、始めのピクチャコーディングタイプ (Picture Coding Type) が何であろうと、MPEG デコーダ 1 2 で、そのピクチャのみでイントラ処理で復号が行なわれる。そして  
10 、マクロブロックの復号が行なわれると、マクロブロックの復号が行なわれたことを示す信号が出力される。このマクロブロックの復号が行なわれたことを示す信号が入力端子 6 2 から、デコードマクロブロック検出部 5 7 に供給される。

スライスコード検出部 5 2 により、1 ラインの最左端のスライスが検  
15 出されると、レジスタ 5 5、レジスタ 5 8 A、5 8 B、…、水平サイズレジスタ 6 1 がクリアされる。そして、マクロブロックアドレスインクリメント検出部 5 3 で、マクロブロックアドレスインクリメント (Macroblock \_\_Address \_\_Increment) が検出される。

このマクロブロックアドレスインクリメントは、マクロブロックのスキップ情報を示し、「1」～「33」に対応するインクリメント値が可  
20 変長符号で書かれている。なお、マクロブロックアドレスインクリメントが「33」以上のときには、マクロブロックエスケープ (Macroblock \_\_Escape) も参照される。

マクロブロックアドレスインクリメント検出部 5 3 の出力が V L C 復  
25 号部 5 4 に供給される。V L C 復号部 5 4 で、マクロブロックアドレスインクリメントの値が復号される。

- V L C 復号部 5 4 の出力が加算器 5 6 に供給される。加算器 5 6 には、レジスタ 5 5 の出力が供給される。レジスタ 5 5 には、デコードマクロブロック検出部 5 7 の出力が供給される。デコードマクロブロック検出部 5 7 の出力から、マクロブロックの復号が行なわれたことが検出されると、加算器 5 6 で、今回のマクロブロックアドレスインクリメントの値と、前回のマクロブロックアドレスインクリメントの値とが加算され、マクロブロックアドレスインクリメントの値が蓄積されていく。これにより、同一の水平ラインの各スライスでのマクロブロックアドレスインクリメントの蓄積値が求められる。
- 10 レジスタ 5 5 の出力がレジスタ 5 8 A、5 8 B、…に供給される。レジスタ 5 8 A、5 8 B、…は、水平方向に複数のスライスがある場合に、各スライスでのマクロブロックアドレスインクリメントの蓄積値を取り込むものである。レジスタ 5 8 A、5 8 B、…には、スライススタートコード検出部 5 2 の出力が供給される。このスライススタートコード
- 15 検出部 5 2 の出力により、マクロブロックアドレスインクリメントの蓄積値がスライス毎にレジスタ 5 8 A、5 8 B、…に取り込まれる。例えば、同一の水平ラインの最初のスライスでのマクロブロックアドレスインクリメントの蓄積値がレジスタ 5 8 A に取り込まれ、同一の水平ラインの次のスライスでのマクロブロックアドレスインクリメントの蓄積値
- 20 がレジスタ 5 8 B に取り込まれていく。

レジスタ 5 8 A、5 8 B、…の出力が加算器 5 9 に供給される。加算器 5 9 で、各スライスでのマクロブロックアドレスインクリメントの蓄積値が合算される。このように、各スライスにおいて蓄積されたマクロブロックアドレスインクリメントの値を合算することで、1 画面当たり

25 の横方向のマクロブロック数が求められる。

加算器 5 9 の出力が乗算器 5 0 に供給される。乗算器 5 0 は、マクロ

ブロックの数に、マクロブロックの大きさを乗じて、水平方向の画素数を算出するものである。すなわち、乗算器 50 で、マクロブロック数にマクロブロックの水平方向の大きさを乗じることにより、1 ピクチャ当たりの水平方向の画素数が算出される。このようにして求められた水平  
5 方向の画素数が水平サイズレジスタ 61 に供給される。

このように、加算器 56 及びレジスタ 55 で、1 スライス内でのマクロブロックアドレスインクリメントの値をマクロブロック毎に蓄積していき、加算器 59 で各スライスにおいて蓄積されたマクロブロックアドレスインクリメントの値を合算することで、1 画面当たりの横方向のマ  
10 クロブロック数が算出される。乗算器 60 で、これにマクロブロックの大きさが乗じられ、1 ピクチャ当たりの水平方向の画素数が求められる。

アスペクト比 (Aspect \_Ratio \_Information) については、上述のようにして求められた映像の水平方向の画素数と垂直方向の画素数と  
15 から推測できる。画サイズが (720 × 480) なら、SDTV なので、アスペクト比は (4 : 3) と推定される。画サイズが (920 × 1080) なら、HDTV なので、(16 : 9) と推定される。

映像の表示周期 (Frame \_Rate \_Code) については、DTS/PTS 等のタイムスタンプによって復号化のタイミングを知ることにより、間接的に  
20 類推される。

なお、発生符号量制御用仮想バッファ (VBV) の大きさ (VBV \_Buffer \_Size) については、考えられるレベル・プロファイルにおいて最大  
のものが用意される。同様に、復号化映像についても、通常考えられる  
該当するレベル・プロファイルにおいて最大サイズの容量が確保される  
25 。

マクロブロック用の量子化マトリクス (Load \_Quantization \_Matrix

）については、デフォルト値で代用される。

プログレシブシーケンス (Progressive \_\_Sequence) については、毎  
フレーム多重化されるピクチャコーディングタイプ (Picture \_\_Coding  
\_\_Type) の中のプログレシブフレーム (Progressive \_\_Frame) で代用  
5 される。

なお、上述の例では、MPEG 1 又はMPEG 2 方式のストリームをデコード  
する場合について説明したが、この発明は、同様な階層構造のストリー  
ムをデコードする場合にも、同様に適用できる。

上述の説明では、ソフトウェアによるMPEGビデオストリームの復号に  
10 ついて説明したが、以下にソフトウェアによるMPEGオーディオストリー  
ムの復号について説明する。MPEGオーディオデコーダは、外部から供給  
されるMPEGオーディオデータを、デコードモジュールで復号し、復号し  
たデータをコーデックモジュールに供給し、コーデックモジュールでデ  
ジタル／アナログ変換してから外部の装置に出力している。

15 しかしながら、デコードモジュールで復号したMPEGオーディオデータ  
を、コーデックモジュールへ出力する際に、MPEGオーディオデータのチ  
ャンネルを切り替えると、一定の時間、チャンネルを切り替える前のデ  
ータが出力され、都合が悪い。

そのため本発明におけるソフトウェアによるオーディオデコーダにお  
20 いては、チャンネル切替時に、デコードモジュールからコーデックモジ  
ュールへ、ミュートのデータを出力するようにしている。

第13図は、オーディオデコーダ100の一実施の形態の構成を示す  
ブロック図である。

ユーザは、入力部111を操作して所望の情報を入力する。例えば、  
25 ユーザは、入力部111を操作することにより、デコーダ100の電源  
を“ON”したり、外部から供給されるMPEGオーディオデータのチャン

ネルを切り替えたり、ミュートを指令したりする。

CPU 112は、入力部111から供給される情報に基づいて、後述するメモリ115乃至117に記憶されているプログラムを読み出し、そのプログラムを実行する。データ切替スイッチ113は、MPEGオーディオデータやプログラムデータの切り替えを行う。外部から供給されるMPEGオーディオデータは、DMA(Direct Memory Access)バス120およびデータ切替スイッチ113を介して、メモリ114に入力され、記憶される。

メモリ115には、電源とリンクしたACリンクプログラムが記憶されており、ユーザが入力部111を介して、デコーダ100の電源を“ON”にすると、CPU112は、データ切替スイッチ113を介して、ACリンクプログラムを読み出し、実行する。

メモリ116には、入力部111から入力される情報に対応する、メッセージを送信するメッセージ送信プログラムが記憶されている。このメッセージは、後述するメモリ117に記憶されているデコードプログラムとデータ転送処理プログラムに対して送信される。即ち、ユーザが入力部111を介して所望の情報を入力すると、CPU112は、データ切替スイッチ113を介して、メッセージ送信プログラムを読み出して実行し、入力された情報に対応するメッセージを、デコードプログラムとデータ転送処理プログラムに送信する。

メモリ117には、メモリ114に記憶されているMPEGオーディオデータを、供給されるメッセージのタイミングで復号するデコードプログラムとデータ転送処理プログラムが記憶されている。CPU112は、供給されるメッセージのタイミングで、メモリ114に記憶されているMPEGオーディオデータを復号し、復号した後のデータを再び、メモリ114に記憶させる。次に、CPU112は、データ転送処理プログラムを読

み出して実行し、メモリ 114 に記憶されている復号後の MPEG オーディオデータを、出力バッファ 118 に転送する。尚、電源 "ON" 時、チャンネル切替時、およびミュート指令時には、メモリ 114 に、予め記憶されているダミーデータ ("0" のデータ) が、出力バッファ 118  
5 に転送される。

出力バッファ 118 に一時的に記憶されているデータは、DMA バス 120 を介してコーデック 119 に供給される。コーデック 119 は、供給された復号後の MPEG オーディオデータをデジタル/アナログ変換し、変換後のデータを DMA バス 120 を介して外部の装置 (図示せず) に出  
10 力する。

次に、メッセージ送信プログラムからデコードプログラムとデータ転送処理プログラムに対して送信されるメッセージの例について、第 14 図を参照して説明する。

先ず、ユーザにより、入力部 111 を介して、電源が "ON" (時刻  
15 t1) されると、"U" メッセージが、デコードプログラムとデータ転送処理プログラムに送信される。この "U" メッセージは、電源が投入されたことを示すためのものである。次に、"W" メッセージが、所定の時間 (T2)、デコードプログラムとデータ転送処理プログラムに送信される。この "W" メッセージは、「復号するのを待ちなさい」とい  
20 うことを示しており、T2 は、メモリ 14 に所定量の MPEG オーディオデータが記憶されるまでの時間である。

メモリ 114 に所定量の MPEG オーディオデータが記憶されると、"F" メッセージが、デコードプログラムとデータ転送処理プログラムに送信される。この "F" メッセージは、「復号を開始しなさい」というこ  
25 とを示しており、このメッセージを受け取ると、CPU 112 は、メモリ 114 に記憶されている MPEG オーディオデータの復号を開始する。その

後、“N”メッセージが、デコードプログラムとデータ転送処理プログラムに送信される(T3)。この“N”メッセージは、「復号を続けなさい」ということを示しており、このメッセージに従って、CPU 112は、復号を続ける。

- 5 ユーザが、入力部111を操作して、チャンネルを切り替えると、“W”メッセージが、所定の時間(T5)、デコードプログラムとデータ転送処理プログラムに送信され、CPU 112は、新しいMPEGオーディオデータを復号するのを待つことになる。尚、T5は、チャンネル切替後のMPEGオーディオデータが、メモリ114に所定の量だけ記憶されるまでの時間である。

- メモリ114に所定量のMPEGオーディオデータが記憶されると、“F”メッセージが、デコードプログラムとデータ転送処理プログラムに送信され、CPU 112は、MPEGオーディオデータの復号を開始する。その後、“N”メッセージが、デコードプログラムとデータ転送処理プログラムに送信され(T6)、CPU 112は、復号を続ける。

ユーザが、入力部111を操作して、デコーダ100の電源を“OFF”にすると(時刻t7)、“D”メッセージが、デコードプログラムとデータ転送処理プログラムに送信され、MPEGオーディオデータの復号は終了される。

- 20 次に、CPU 112が、メモリ114から出力バッファ118へ転送するデータを、メッセージに基づいて切り替える機能について、第15図を参照して説明する。

- 第15図A)は、メモリ114に予め存在しているダミーブロック131を示している。ダミーブロック131には、“0”データが格納されている。第15図Bは、復号後のMPEGオーディオデータが格納されるBBBチェーン132を示している。BBBチェーン132は、aブロック



1 4 1 乃至 f ブロック 1 4 6 の 6 つのブロックで構成されており、復号した後の MPEG オーディオデータを、a ブロック 1 4 1 から順番に格納する。

- メッセージ送信プログラムからデータ転送処理プログラムに対して、
- 5 “W” メッセージが送信されている場合（例えば、第 1 4 図の時間 T 2 および T 5）、CPU 1 1 2 は、メモリ 1 1 4 のダミーブロック 1 3 1 から “0” データを読み出し、読み出した “0” データを出力バッファ 1 1 8 へ転送する。これにより、電源 “ON” 時およびチャンネル切替時には、所定の時間、コーデック 1 1 9 へミュートのデータが出力される
- 10 ことになる。

- メッセージ送信プログラムからデータ転送処理プログラムに対して、“F” メッセージまたは “N” メッセージが送信されている場合（例えば、第 1 4 図の時間 T 3 および T 6）、CPU 1 1 2 は、メモリ 1 1 4 の BBB チェーン 1 3 2 の a ブロック 1 4 1 から順番に、復号後のデータを
- 15 読み出し、読み出したデータを出力バッファ 1 1 8 へ転送する。これにより、MPEG オーディオデータを復号している間は、復号した後のデータがコーデック 1 1 9 へ出力されることになる。

- 次に、デコーダ 1 0 0 の電源が投入された場合、CPU 1 1 2 がメッセージに基づいて、メモリ 1 1 4 から出力バッファ 1 1 8 へ転送するデータ
- 20 を切り替える際の処理動作について、第 1 6 図のフローチャートを参照して説明する。

- まず、ステップ S 1 1 において、ユーザが入力部 1 1 1 を操作して、デコーダ 1 0 0 の電源を “ON” にすると、CPU 1 1 2 は、メモリ 1 1 5 から AC リンクプログラムを読み出し、実行する。
- 25 次に、ステップ S 1 2 において、CPU 1 1 2 は、メモリ 1 1 6 からメッセージ送信プログラムを読み出し、実行する。このとき、デコードプ

ログラムとデータ転送処理プログラムに対して、電源が投入されたことを示す“U”メッセージが送信される。

ステップS 1 3において、デコードプログラムとデータ転送処理プログラムに対して、復号開始を待つことを示す“W”メッセージが送信される。

ステップS 1 4において、CPU 1 1 2は、メモリ1 1 4のダミーブロック1 3 1から“0”データを読み出し、そのデータを出力バッファ1 1 8へ転送する。

ステップS 1 5において、CPU 1 1 2は、MPEGオーディオデータが所定の量だけメモリ1 1 4に記憶されたか否かを判定する。ステップS 1 5において、メモリ1 1 4にMPEGオーディオデータが所定の量だけ記憶されていないと判定された場合、ステップS 1 3に戻り、それ以降の処理が繰り返し、実行される。

ステップS 1 5において、メモリ1 1 4にMPEGオーディオデータが所定の量だけ記憶されたと判定された場合、ステップS 1 6に進み、デコードプログラムとデータ転送処理プログラムに対して、復号開始を示す“F”メッセージが送信される。

ステップS 1 7において、CPU 1 1 2は、メモリ1 1 4に記憶されているMPEGオーディオデータの復号を開始し、復号したデータをメモリ1 1 4のBBB チェーン1 3 2に格納する。

ステップS 1 8において、CPU 1 1 2は、メモリ1 1 4のBBB チェーン1 3 2から復号したデータを読み出し、そのデータを出力バッファ1 1 8へ転送する。

ステップS 1 9において、CPU 1 1 2は、全てのMPEGオーディオデータを復号したか否かを判定する。ステップS 1 9において、全てのMPEGオーディオデータが復号されていないと判定された場合、ステップS 1

6に戻り、それ以降の処理が繰り返し、実行される。ステップS19において、全てのMPEGオーディオデータが復号されたと判定された場合、処理動作は終了される。

次に、第17図を参照して、上述した一連の処理を実行するプログラムをコンピュータにインストールし、コンピュータによって実行可能な状態とするために用いられる媒体について説明する。

プログラムは、第17図Aに示すように、パーソナルコンピュータ151（映像復号装置に相当）に内蔵されている記録媒体としてのハードディスク152や半導体メモリ153に予めインストールした状態でユーザに提供することができる。

あるいはまた、プログラムは、第17図Bに示すように、フロッピーディスク161、CD-ROM162、MOディスク163、DVD164、磁気ディスク165、半導体メモリ166などの記録媒体に、一時的あるいは永続的に格納し、パッケージソフトウェアとして提供することができる。

さらに、プログラムは、第17図Cに示すように、ダウンロードサイト171から、無線で衛星172を介して、パーソナルコンピュータ173に転送したり、ローカルエリアネットワーク、インターネットといったネットワーク181を介して、有線または無線でパーソナルコンピュータ173に転送し、パーソナルコンピュータ173において、内蔵するハードディスクなどにダウンロードさせるようにすることができる。

本明細書における媒体とは、これら全ての媒体を含む広義の概念を意味するものである。

25 本発明に係わる映像処理装置、映像処理方法、および媒体においては、入力されたマクロブロック単位の映像データに、昇順にアドレスを割

り当て、記憶し、記憶された映像データを、アドレスの昇順に読み出すようにしたので、ページミスが発生する回数を抑制する事が可能となる。

本発明に係わる映像処理装置及び方法によれば、シーケンスヘッダが  
5 検出されないときには、スライススタートコード (Slice \_Start \_Co  
de) の4バイト目検出して、画面の垂直方向の画素数が推定され、マク  
ロブロックアドレスインクリメント (Macroblock \_Address \_Incremen  
t) を蓄積して画面の水平方向のマクロブロック数が求められ、これに  
マクロブロックの大きさを乗算して、画面の水平方向の画素数が推定さ  
10 れる。そして、このようにして推定された情報を使ってMPEGの復号が行  
なわれる。これにより、シーケンスヘッダを検出しなくても、直ちに、  
MPEGストリームの復号を行なうことができる。

#### 産業上の利用可能性

15 本発明は、MPEGで圧縮された映像信号を復号する際に用いて好適なものである。

## 請 求 の 範 囲

1. マクロブロック単位の映像データを入力する入力手段と、  
上記入力手段により入力された上記映像データに、昇順にアドレスを  
5 割り当て、記憶する記憶手段と、  
上記記憶手段に記憶された上記映像データを、アドレスの昇順に読み  
出す読み出し手段と  
を含むことを特徴とする映像処理装置。
2. 上記読み出し手段により読み出された上記映像データを、上記映像  
10 データに基づいて表示される映像と同等のアドレス配置に変換し、記憶  
する変換記憶手段を  
さらに含むことを特徴とする請求の範囲第1項に記載の映像処理装置  
。
3. 上記記憶手段は、2以上のバンクを備え、上記映像データに基づき  
15 表示される映像の水平方向の幅毎に、上記バンクを切り換えて上記映像  
データを記憶する  
ことを特徴とする請求の範囲第1項に記載の映像処理装置。
4. マクロブロック単位の映像データを入力する入力ステップと、  
上記入力ステップで入力された上記映像データに、昇順にアドレスを  
20 割り当て、記憶する記憶ステップと、  
上記記憶ステップで記憶された上記映像データを、アドレスの昇順に  
読み出す読み出しステップと  
を含むことを特徴とする映像処理方法。
5. マクロブロック単位の映像データを入力する入力ステップと、  
25 上記入力ステップで入力された上記映像データに、昇順にアドレスを  
割り当て、記憶する記憶ステップと、

上記記憶ステップで記憶された上記映像データを、アドレスの昇順に読み出す読み出しステップと

からなることを特徴とするプログラムをコンピュータに実行させる媒体。

- 5 6. シーケンス層とGOP層とピクチャ層とスライス層とマクロブロック層とブロック層とからなる階層構造のビデオストリームを復号する映像処理装置において、

ピクチャ内に必ず現れる情報に基づいてシーケンスヘッダ情報を推定するシーケンスヘッダ情報推定手段と、

- 10 上記シーケンスヘッダが検出されないときには、上記ヘッダ情報推定手段で推定された情報を用いてビデオデータを復号する復号手段と  
を備えるようにした映像処理装置。

7. 上記シーケンスヘッダ情報推定手段は、スライスでの情報から画面の垂直方向の画素数を推定する垂直画素数推定手段を含む請求の範囲第

- 15 6項に記載の映像処理装置。

8. 上記シーケンスヘッダ情報推定手段は、マクロブロックでの情報から画面の水平方向の画素数を推定する水平画素数推定手段を含む請求の範囲第6項に記載の映像処理装置。

9. 上記シーケンスヘッダ情報推定手段は、スライスでの情報から画面  
20 の垂直方向の画素数を推定し、マクロブロックでの情報から画面の水平方向の画素数を推定し、上記推定された垂直方向の画素数と水平方向の画素数とから、画面のアスペクト比を推定するアスペクト比推定手段を含む請求の範囲第6項に記載の映像処理装置。

10. シーケンス層とGOP層とピクチャ層とスライス層とマクロブ  
25 ック層とブロック層とからなる階層構造のビデオストリームを復号する映像処理方法において、

ピクチャ内に必ず現れる情報に基づいてシーケンスヘッダ情報を推定し、

上記シーケンスヘッダが検出されないときには、上記推定された情報を用いてビデオデータを復号する

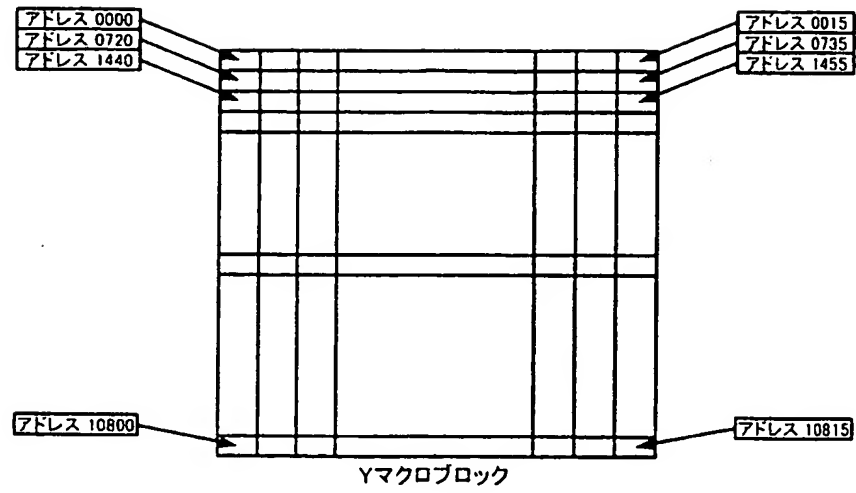
5      ようにした映像処理方法。

11. 上記シーケンスヘッダ情報の推定は、スライスでの情報から画面の垂直方向の画素数を推定するようにした請求の範囲第10項に記載の映像処理方法。

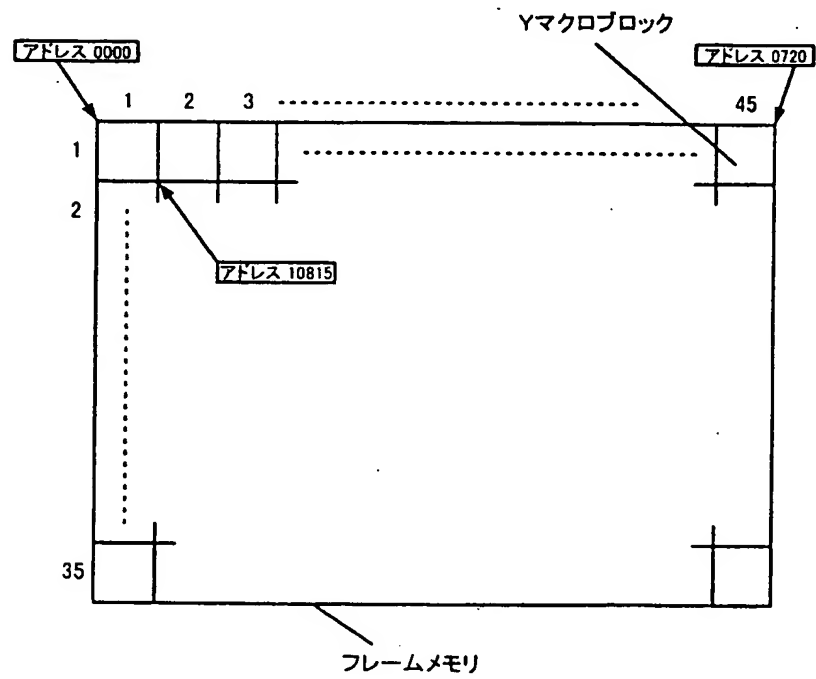
12. 上記シーケンスヘッダ情報の推定は、マクロブロックでの情報から画面の水平方向の画素数を推定するようにした請求の範囲第10項に記載の映像処理方法。

13. 上記シーケンスヘッダ情報の推定は、スライスでの情報から画面の垂直方向の画素数を推定し、マクロブロックでの情報から画面の水平方向の画素数を推定し、上記推定された垂直方向の画素数と水平方向の画素数とから、画面のアスペクト比を推定するようにした請求の範囲第10項に記載の映像処理装置。

第1図A

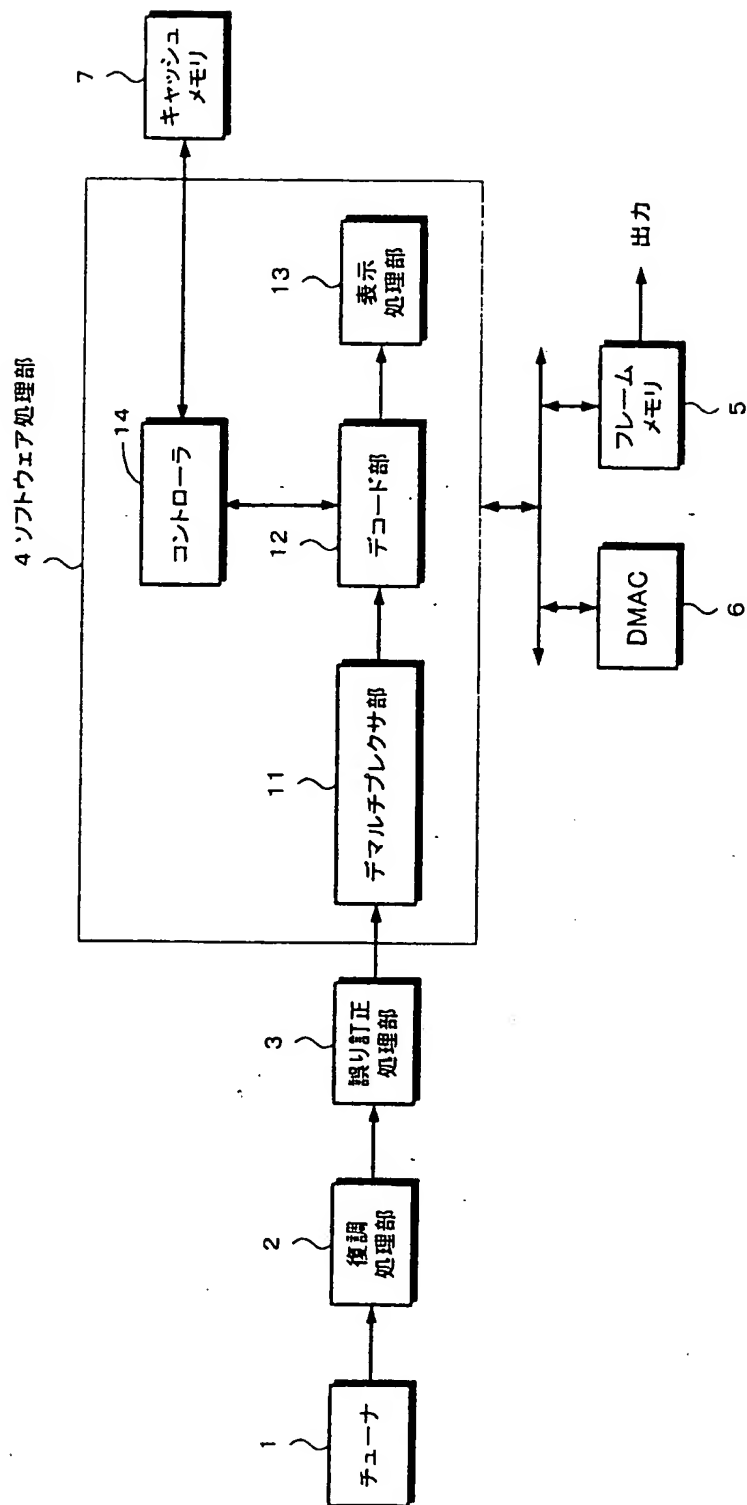


第1図B

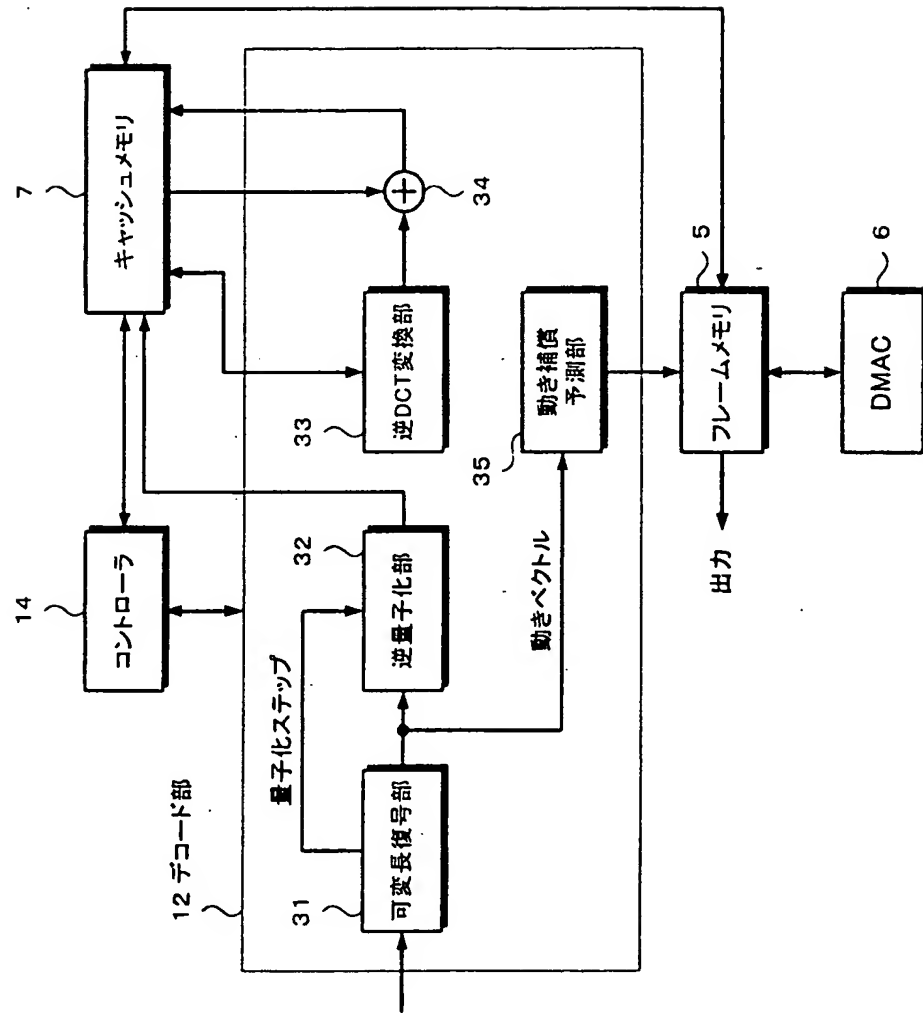




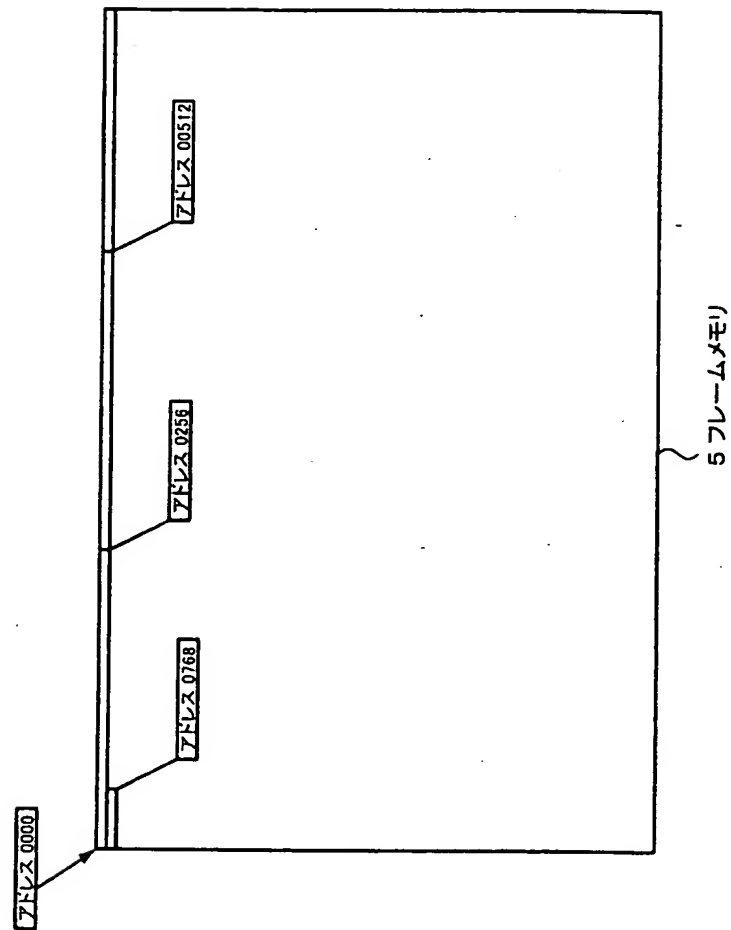
第2図



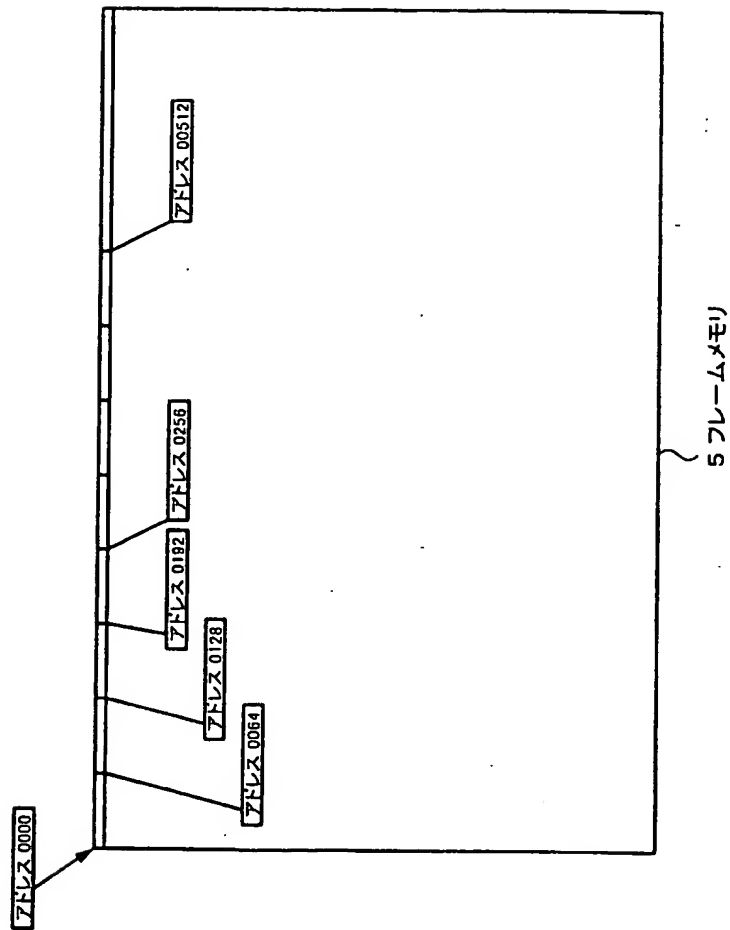
第3図



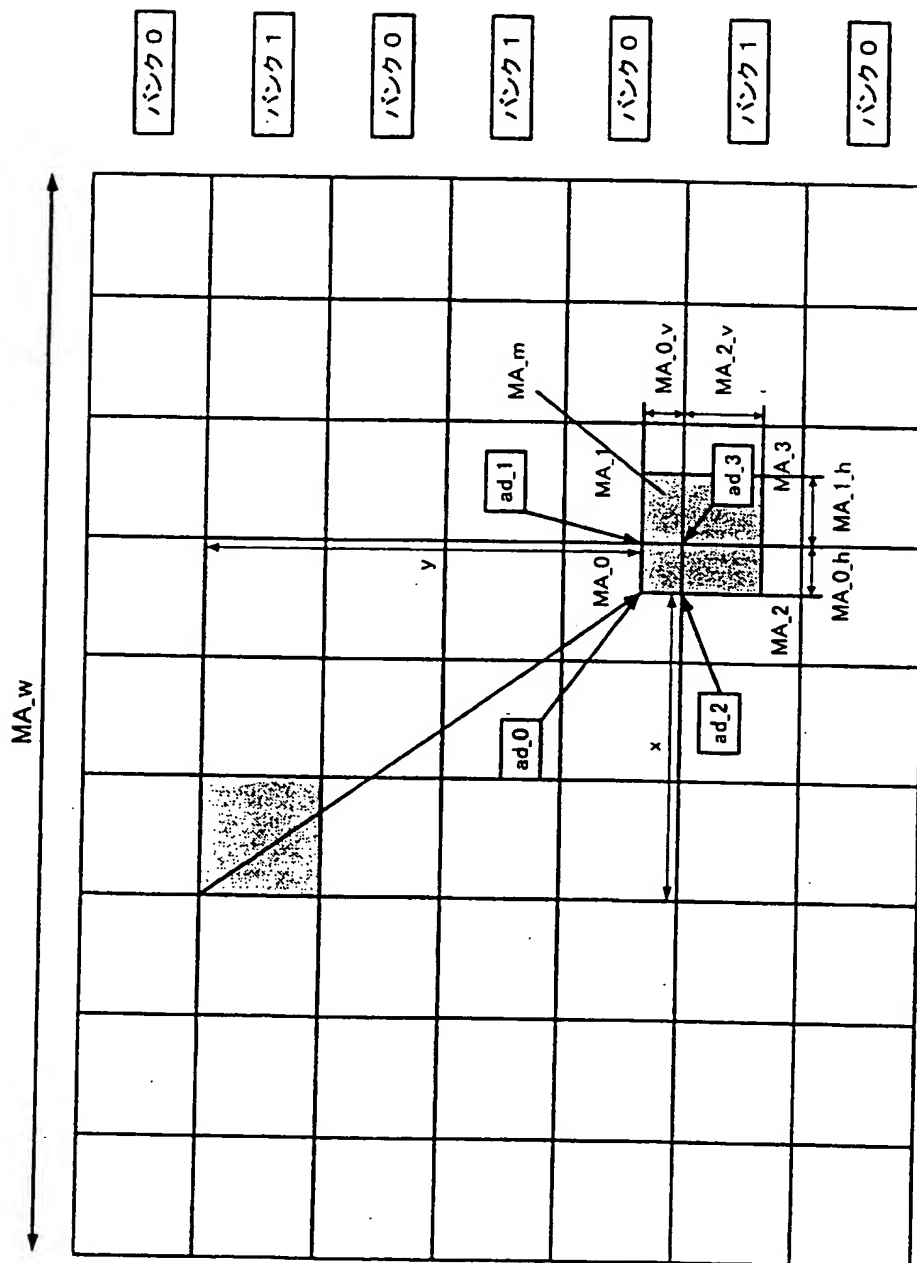
第4図



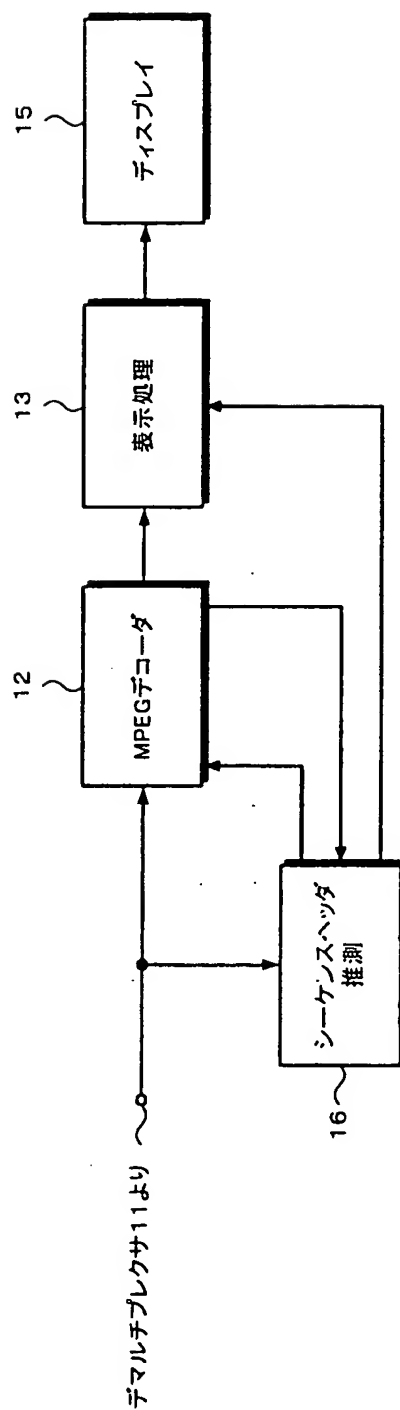
第5図



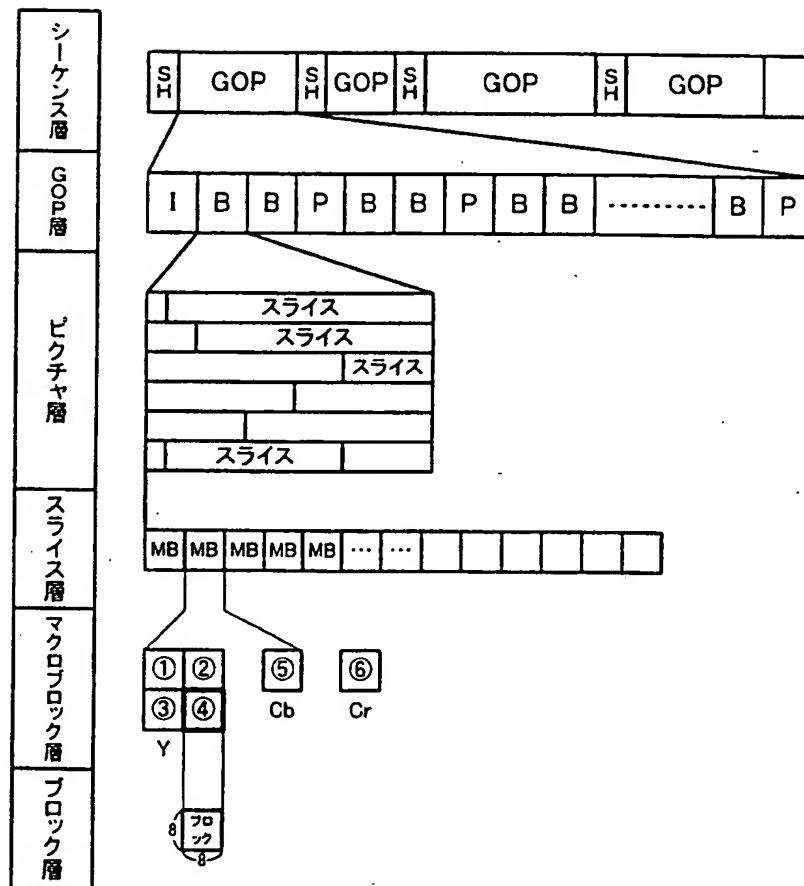
第6図



第7図



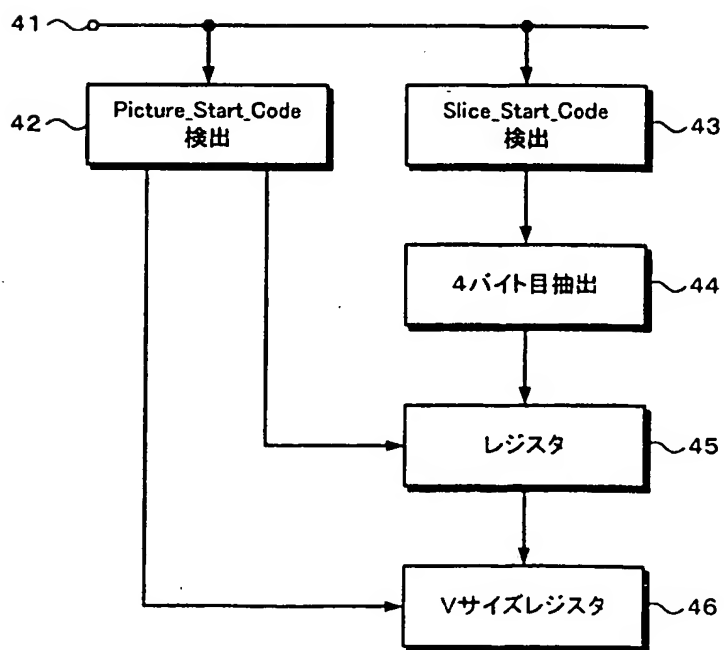
## 第 8 図



## 第9図

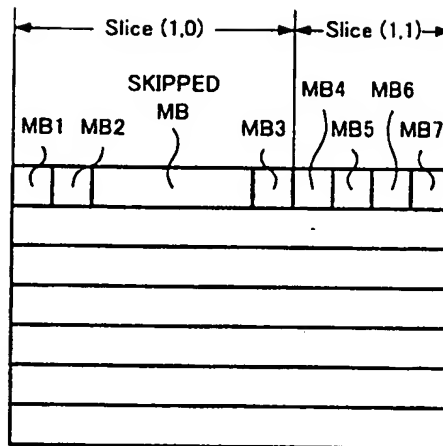
Bs=1	Slice (1,0)		Slice (1,1)	
Bs=2	Slice (2,0)		Slice (2,1)	
Bs=3	Slice (3,0)	Slice (3,1)		Slice (3,2)
Bs=N	Slice (N,0)		Slice (N,1)	

## 第10図

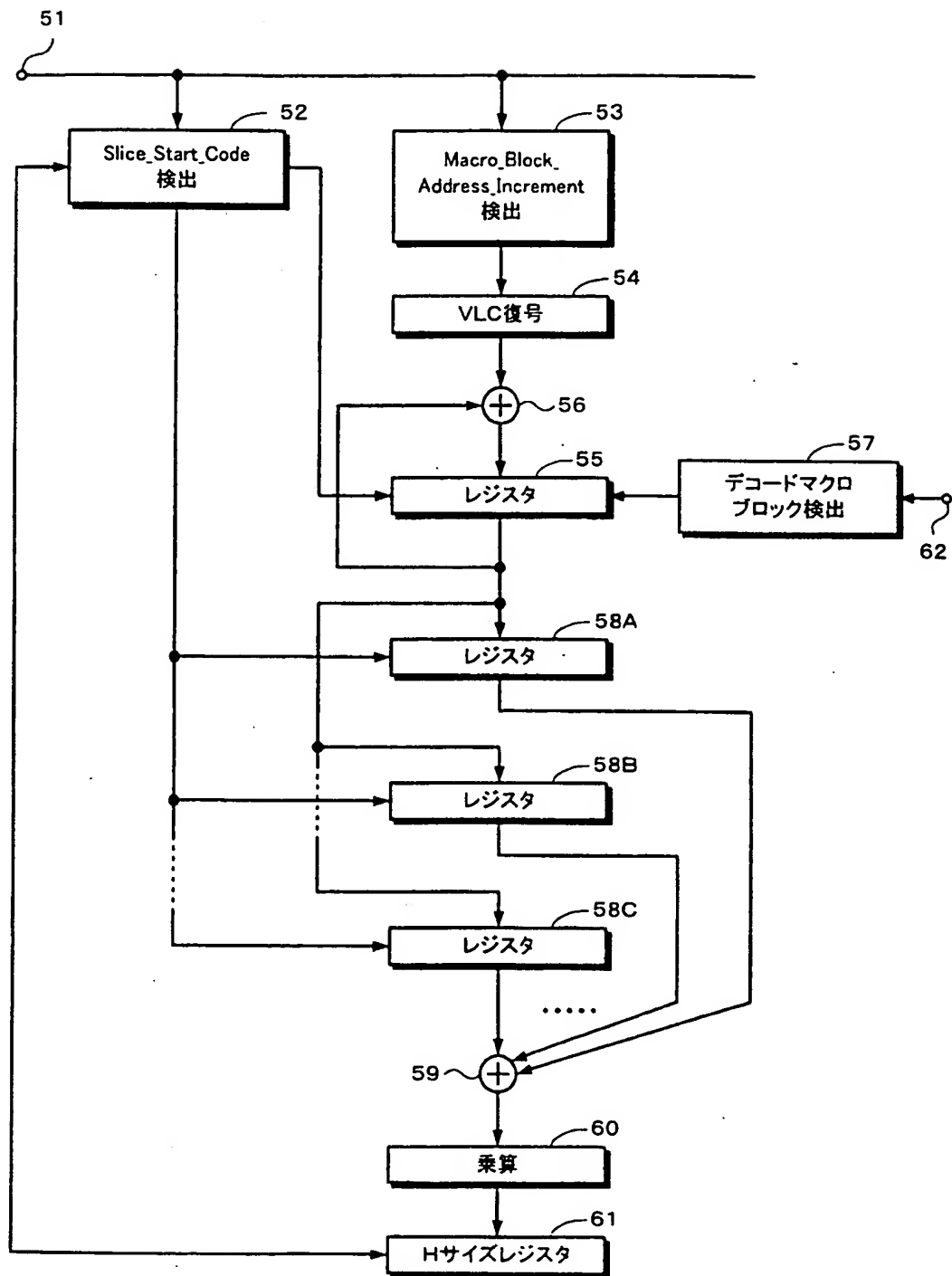




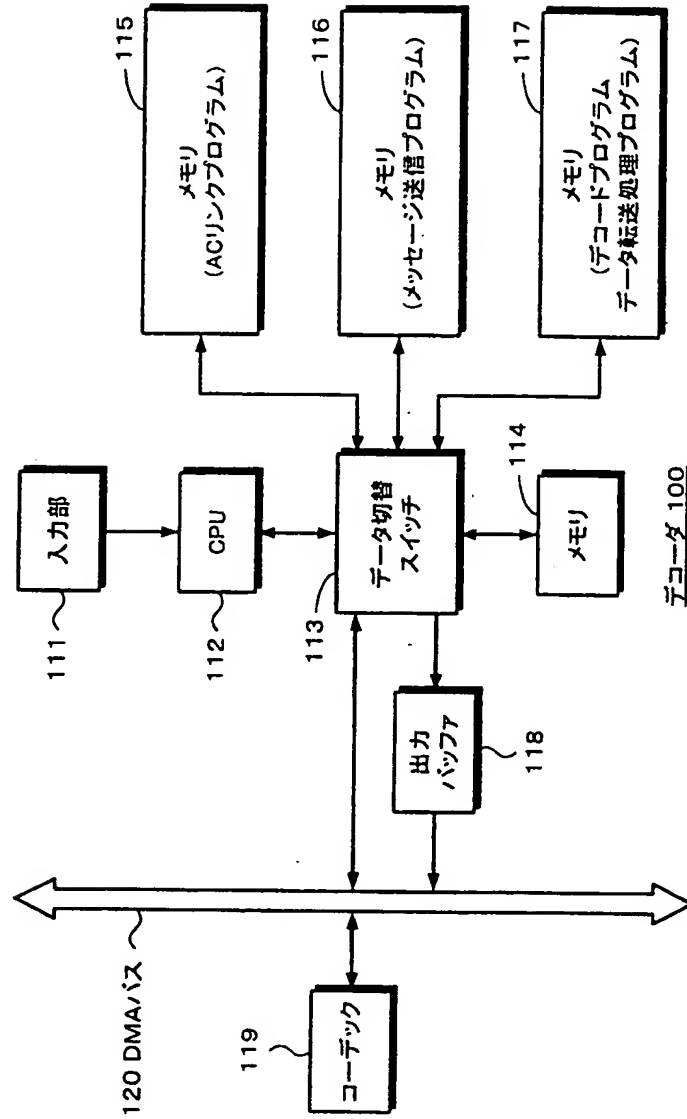
# 第 1 1 図



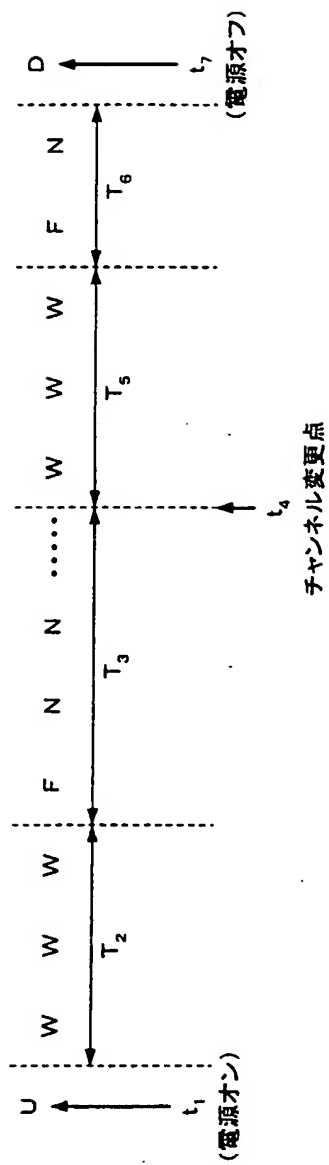
## 第12図



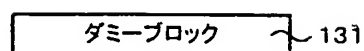
第13図



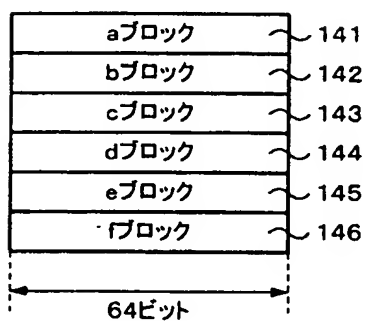
第14図



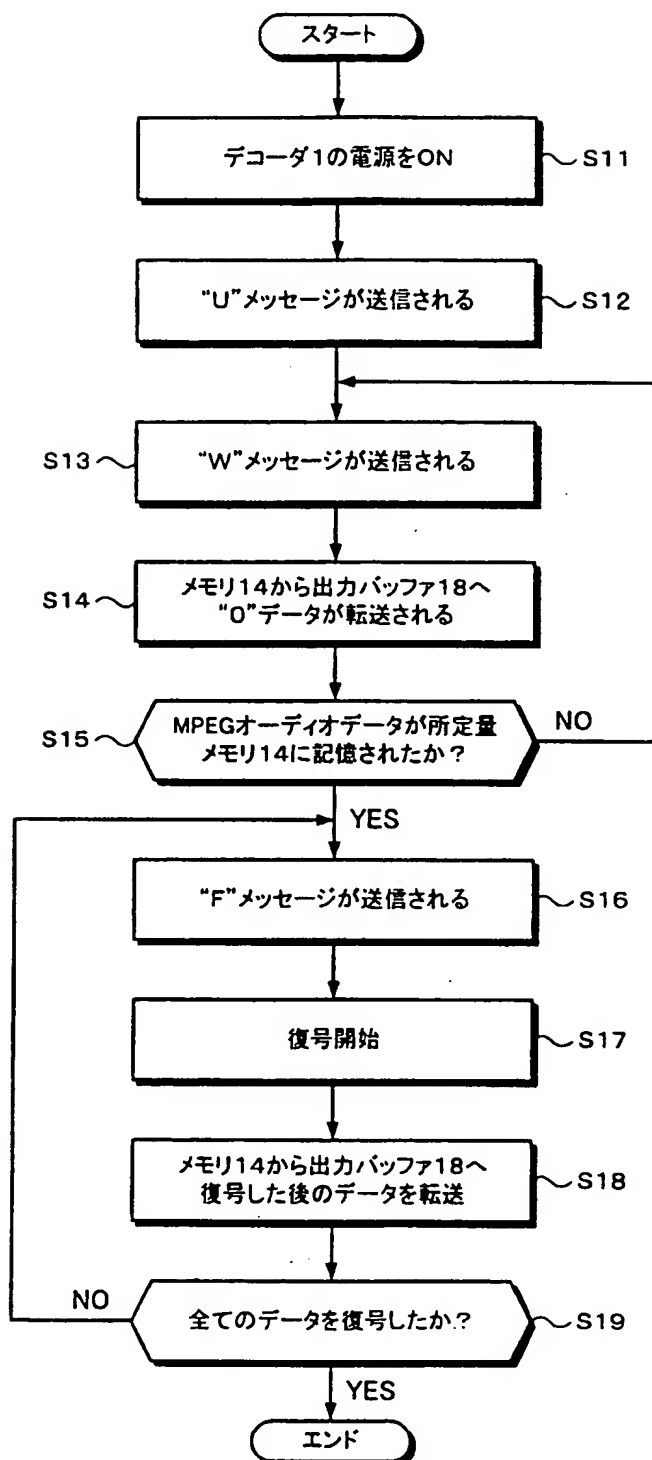
第 1 5 図 A



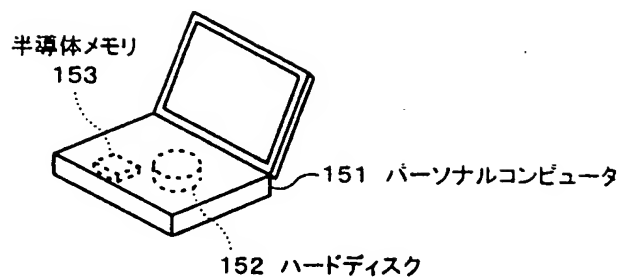
第 1 5 図 B

BBBチェーン 132

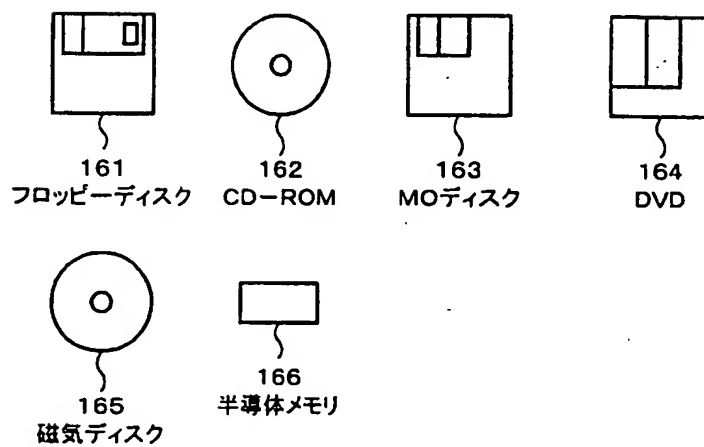
## 第 1 6 図



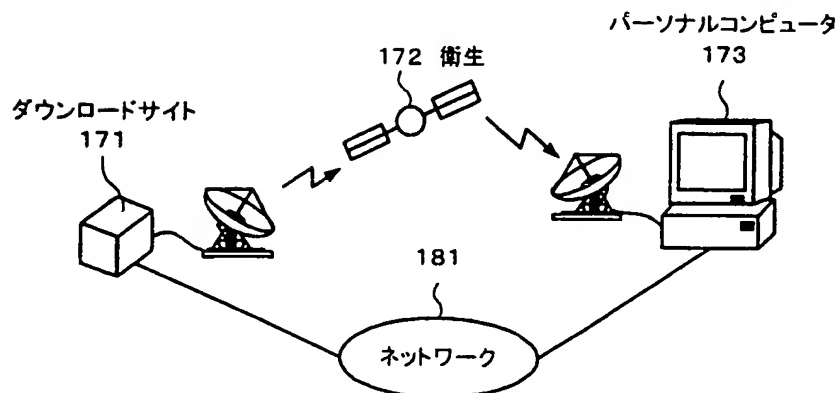
## 第 1 7 図 A



## 第 1 7 図 B



## 第 1 7 図 C



- 5 フレームメモリ
- 1 2 M P E Gデコーダ
- 1 6 シーケンスヘッダ推測回路
- 4 2 ピクチャスタートコード検出部
- 4 3 スライススタートコード検出部
- 4 6 垂直サイズレジスタ
- 5 2 スライススタートコード検出部
- 5 3 マクロブロックアドレスインクリメント検出部
- 6 1 水平サイズレジスタ



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02406

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>7</sup> H04N7/24, H04N5/92, H04N5/907		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> H04N7/24-7/68, H04N5/80-5/956		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000 Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) JICST FFILE(JOIS) (in Japanese and in English) IEEE/IEE ELECTRONIC LIBRARY (in English)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 10-191236, A (NEC Corporation), 21 July, 1998 (21.07.98), Full text; Figs. 1 to 9 (Family: none)	1-5
A	JP, 8-163558, A (Graphics Communication Labo. K.K.), 21 June, 1996 (21.06.96), Full text; Figs. 1 to 6 (Family: none)	6-13
A	Tan, Chee Heng, Liren Zhang, "Effects of cell loss on the quality of service for MPEG video in ATM environment", Proceedings of IEEE Singapore International Conference on Networks; 1995. Theme: Electrotechnology 2000: Communications and Networks. [in conjunction with the] International Conference on Information Engineering., p.11-15	6-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 11 July, 2000 (11.07.00)		Date of mailing of the international search report 25 July, 2000 (25.07.00)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02406

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1 to 5 relate to a video processing device and method, and a medium for assigning addresses to video data of macro block units in ascending order, storing the video data, and reading it in ascending order so as to suppress page mistake.

The inventions of claims 6 to 13 relate to a video processing device and method for inferring the information in the sequence header of an MPEG stream and decoding the MPEG stream so as to decode the MPEG stream immediately if the sequence header is not detected.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.  
☐ No protest accompanied the payment of additional search fees.

## 国際調査報告

国際出願番号 PCT/JPO0/02406

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. H04N7/24, H04N5/92, H04N5/907		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. H04N7/24-7/68, H04N5/80-5/956		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2000年 日本国登録実用新案公報 1994-2000年 日本国実用新案登録公報 1996-2000年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
JICSTファイル (JOIS) 日本語、英語 IEEE/IEE ELECTRONIC LIBRARY 英語		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 10-191236, A (日本電気株式会社) 21. 7月. 1998 (21. 07. 98) 全文、第1-9図 (ファミリーなし)	1-5
A	JP, 8-163558, A (株式会社グラフィックス・コミュニケーション・ラボラトリーズ) 21. 6月. 1996 (21. 06. 96) 全文、第1-6図 (ファミリーなし)	6-13
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	11. 07. 00	国際調査報告の発送日
		25.07.00
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5P 9468
日本国特許庁 (ISA/JP)	畑中 高行	
郵便番号100-8915	電話番号 03-3581-1101	内線 3581
東京都千代田区霞が関三丁目4番3号		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Tan, Chee Heng, Liren Zhang, "Effects of cell loss on the quality of service for MPEG video in ATM environment", Proceedings of IEEE Singapore International Conference on Networks, 1995. Theme: Electrotechnology 2000: Communications and Networks. [in conjunction with the] International Conference on Information Engineering., July 1995, p. 11-15	6-13

## 第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲第1項～第5項は、ページミスの発生を抑制するために、マクロブロック単位の映像データに対して昇順にアドレスを割り当て記憶し、アドレスの昇順に読み出す映像処理装置および方法、並びに媒体に関する発明である。

請求の範囲第6項～第13項は、MPEGストリームを直ちにデコードできるようにするために、MPEGストリームのシーケンスヘッダが検出されないときには、シーケンスヘッダの情報を推定してデコードを行う映像処理装置および方法に関する発明である。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

*eg*